

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H04N 5/44

H04N 7/50 H04N 7/26

[12] 发明专利申请公开说明书

[21] 申请号 98800277.9

[43]公开日 1999 年 6 月 9 日

[11]公开号 CN 1219321A

[22]申请日 98.3.11 [21]申请号 98800277.9

[30]优先权

[32]97.3.12 [33]US[31]60/040,517

[86]国际申请 PCT/US98/04749 98.3.11

[87]国际公布 WO98/41011 英 98.9.17

[85]进入国家阶段日期 98.11.12

[71]申请人 松下电器产业株式会社

地址 日本大阪

[72]发明人 金熙龙 萨普拉萨德·内莫帕利

埃德温·罗伯特·迈耶 理查德·西塔

拉里·菲利普斯

颖川廉

[74]专利代理机构 永新专利商标代理有限公司

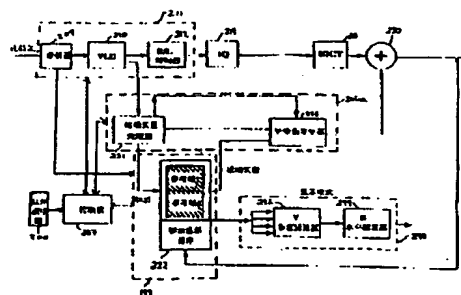
代理人 蹇 炜

权利要求书 6 页 说明书 54 页 附图页数 24 页

[54]发明名称 高分辨率电视下转换系统

[57]摘要

一种符合先进电视系统标准(ATSC)的视频解码器含有能对一个 ATSC 编码图像进行解码的电路,并利用下转换处理来产生一个有标准分辨率的视频信号。该视频解码器含有一个频域滤波器,用来减小 ATSC 编码信号的分辨率。该视频解码器下转换系统还含有一个带有垂直和水平滤波器和重新采样处理器的格式化部分,用来为某一特定的显示器和宽高比对经解码和下转换的视频图像格式化。该解码器通过探测编码视频信号的显示格式来改变解码器所进行的处理,使得不论编码输入信号的显示格式如何都能产生具有标准分辨率的输出信号。该系统还含有一个格式转换器,该格式转换器能被编程得可以用多种方法来转换输入信号的宽度,使之能显示在一个具有不同宽高比的显示装置上。在一种模式中,该系统逐个地列出各种可能的方法,让用户可以选择其中的一种方法。



ISSN 1008-4274

权 利 要 求 书

1、一种数字视频信号转换系统，它能对一个相继地代表第一和第二视频显示格式的基带编码数字视频信号进行解码和重新格式化，以产生一个适合于显示在一个有预定视频显示格式的显示器上的解码视频信号，每个视频显示格式都含有一个宽高比和一个分辨率，该系统包括：

一个数字视频信号解码器，它含有：

一个连接得能接收编码数字视频信号的输入终端；

数据提取电路，它能从编码数字视频信号提取关于解码视频信号的视频显示格式的指示；以及

信号处理电路，它能对编码数字视频信号解码，以产生一个输出视频信号，其中解码器在响应于一个控制信号时将分别根据第一和第二下转换处理对编码数字视频信号进行处理，以从分别具有第一和第二视频显示格式的编码数字视频信号产生一个具有预定视频显示格式的输出信号；以及

一个控制器，它连接得能接收表明了所提取视频显示格式的数据，该控制器产生对数字视频信号解码器的控制信号，使解码器把对应于所提取显示格式的编码数字视频信号在第一和第二时段(interval)中都转换成具有预定视频显示格式的输出视频信号。

2、根据权利要求 1 的数字视频信号转换系统，其中，编码数字视频信号是用一种频域变换操作编码的，并且数字视频信号解码器含有一个低通滤波器，该滤波器对频域变换的数字视频信号进行操作以使数字视频信号解码器产生一个其分辨率低于由所提取视频显示格式所规定的分辨率的解码数字视频信号。

3、根据权利要求 2 的数字视频信号转换系统，其中，数字视频信号解码器含有一个可编程空间滤波器，该滤波器在响应于一个由

控制器所提供的格式转换控制信号时将对由数字视频解码器所提供的解码数字视频信号进行重新采样，以产生具有预定视频显示格式的输出视频信号。

4、根据权利要求 3 的数字视频信号转换系统，其中，数字视频信号是用一种由活动图形专家组（MPEG）所规定的编码技术编码的，其中编码数字视频信号被含在多个包化基本流（PES）数据包中，每个 PES 数据包都有一个前端部，并且数字视频信号解码器的数据提取电路含有用来从一个 PES 数据包的前端部提取编码数字视频信号的视频显示格式的装置。

5、根据权利要求 3 的数字视频信号转换系统，其中，数字视频信号是用一种由活动图形专家组（MPEG）所规定的编码技术编码的，其中编码数字视频信号被含在一个含有一些系列记录的数字比特流中，每个系列记录都有一个前端部，并且数字视频信号解码器的数据提取电路含有用来从一个系列记录的前端部提取编码数字视频信号的视频显示格式的装置。

6、根据权利要求 1 的数字视频信号转换系统，它还含有一个用户输入装置，用户可以利用该输入装置输入指明了预定视频显示格式的数据。

7、根据权利要求 1 的数字视频信号转换系统，其中，视频显示装置含中一个寄存器，该寄存器保持有一个标识信号，并且控制器被连接在该显示装置上以读出该标识信号，并利用该标识信号产生指明了预定视频显示格式的数据。

8、根据权利要求 1 的数字视频信号转换系统，其中的数字视频信号解码器还含有：

模/数转换装置，用来把视频解码器的信号处理电路的输出信号转换成一个模拟信号；

传送装置，用来把该模拟信号传送给显示装置；

连接在控制器上的探测装置，用来探测由显示装置施加给传送装置的一个直流（DC）电位；

其中，控制器根据探测装置的探测识别出数字视频信号解码器所使用的预定显示类型。

9、根据权利要求 6 的数字视频信号转换系统，其中：

视频信号解码器还含有一个屏幕显示处理器，该处理器可以被编程得能产生多个输出视频信号，各个信号分别对应于多种视频显示格式中的一种不同格式；以及

控制器含有这样的装置，该装置在响应于通过用户输入装置所提供的一个第一用户控制信号时，将使屏幕显示装置依次地提供各个分别具有不同视频显示格式的视频信号，并在响应于通过用户输入装置所提供的一个第二选择信号时，将把一种相应的视频显示格式确定为预定视频显示格式。

10、一种数字视频信号转换系统，它能对一个基带编码数字视频信号进行解码和重新格式化以产生一个解码视频信号，该编码数字视频信号是用一种频域变换操作编码的，并且可以代表多种视频显示格式，每种视频显示格式都有一个宽高比和一个分辨率，该系统包括：

一个具有预定视频显示格式的显示装置；

一个数字视频信号解码器，它含有：

一个连接得能接收编码数字视频信号的输入终端；

数据提取电路，该电路能从编码数字视频信号提取一个关于解码视频信号的视频显示格式的指示；

一个低通滤波器，它在响应于一个第一控制信号时将对频域变换的数字视频信号进行操作，以有选择性地使数字视频信号解码器产生一个其分辨率小于提取的视频显示格式的分辨率的解码数字视频信号；以及

信号处理电路，它在响应于一个第二控制信号时将对经滤波的频域编码数字视频信号解码，以产生一个输出视频信号；以及

一个控制器，它连接得能接收表明了预定视频显示格式和提取的视频显示格式的数据，该控制器产生对数字视频信号解码器的控制信号，该控制信号使解码器把对应于提取的显示格式的编码数字视频信号转换成具有预定视频显示格式的输出视频信号。

11、根据权利要求 10 的数字视频信号转换系统，其中：

数字视频信号解码器还含有一个可编程空间滤波器，该滤波器在响应于一个格式转换控制信号时将对由信号处理电路所提供的解码数字视频信号进行重新采样，以产生具有预定视频显示格式的输出视频信号；以及

控制器能产生格式转换控制信号。

12、根据权利要求 11 的数字视频信号转换系统，其中，数字视频信号是用一种由活动图形专家组（MPEG）所规定的编码技术编码的，其中编码数字视频信号被含在多个包化的基本流（PES）数据包中，每个 PES 数据包都有一个前端部，并且数字视频信号解码器的数据提取电路含有用来从一个 PES 数据包的前端部提取编码数字视频信号的视频显示格式的装置。

13、根据权利要求 11 的数字视频信号转换系统，其中，数字视频信号是用一种由活动图形专家组（MPEG）所规定的编码技术编码的，其中编码数字视频信号被含在一个含有一些系列记录的数字比特流中，每个系列记录都有一个前端部，并且数字视频信号解码器的数据提取电路含有用来从一个系列记录的前端部提取编码数字视频信号的视频显示格式的装置。

14、根据权利要求 11 的数字视频信号转换系统，它还含有一个用户输入装置，用户通过该输入装置可以输入能识别预定视频显示格式的数据。

15、根据权利要求 13 的数字视频信号转换系统，其中：

视频信号解码器还含有一个屏幕显示处理器，该处理器可以被编码得能产生多个输出视频信号，各个输出视频信号分别对应于多种视频显示格式中的一种格式；并且

控制器含有这样的装置，该装置能在响应于通过用户输入装置所提供的一个第一用户控制信号时使屏幕显示装置依次地提供一些分别对应于不同视频显示格式的视频信号，并在响应于通过用户装置所输入的一个第二选择信号时把一个相应的视频显示格式确定为预定视频显示格式。

16、根据权利要求 11 的数字视频信号转换系统，它还含有一个具有预定视频显示格式的视频显示装置，其中的视频显示装置含有一个寄存器，其中保存了一个识别信号，并且控制器被连接在该显示装置上以能读出该识别信号，并利用该识别信号产生能识别预定视频显示格式的数据。

17、一种数字视频信号转换系统，它能对一个代表一种具有第一宽高比的视频显示格式的基带编码数字视频信号进行解码和重新格式化，以产生一个适合于以具有不同于第一宽高比的第二宽高比的预定视频显示格式显示的解码视频信号，该系统包括：

一个数字视频信号解码器，它含有：

一个连接得能接收编码数字视频信号的输入终端；

数据提取电路，它能从编码数字视频信号中提取一个关于解码视频信号的宽高比的指示；以及

信号处理电路，它能对编码数字视频信号进行解码以产生一个输出视频信号，其中解码器在响应于一个控制信号时，将分别根据第一和第二下转换处理对编码数字视频信号进行处理以产生一个输出信号，该输出信号具有分别对应于第一宽高比与第二宽高比之间的第一种和第二种转换的预定视频显示格式；以及

一个控制器，它连接得能接收表明了提取的视频显示格式的数据，该控制器产生对数字视频信号解码器的控制信号，该控制信号使解码器相继地把具有第一宽高比的解码视频信号转换成第一和第二输出信号，这两个输出信号分别对应于第一宽高比与第二宽高比之间的第一种和第二种转换。

18、根据权利要求 17 的数字视频信号转换系统，其中，第一宽高比大于第二宽高比，并且第一种和第二种转换分别使用第一和第二压缩技术来产生具有第二宽高比的输出信号。

19、根据权利要求 17 的数字视频信号转换系统，其中，第一宽高比小于第二宽高比，并且第一种和第二种转换分别使用第一和第二扩展技术来产生具有第二宽高比的输出信号。

说明书

高分辨率电视下转换系统

本专利申请对 1997 年 3 月 12 日提交的美国临时申请 No.60/040,517 提出权益要求。

美国临时申请 No.60/040,517 的全部公开内容在此引用作为参考。

本发明的领域

本发明涉及一种把例如为 MPEG-2 编码视频信号的频域编码信号解码和转换成标准输出视频信号的解码器，较具体地涉及一种把编码的高分辨率视频信号转换和格式化成为解码的较低分辨率输出视频信号的解码器。

本发明的背景

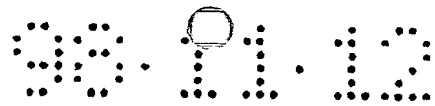
在美国，一种称之为“先进电视系统委员会（ATSC）标准”的标准规定了高分辨率电视（HDTV）信号的数字编码。该标准的一部分基本上与国际标准化组织（ISO）的“活动图形专家组（MPEG）”所提出的 MPEG-2 标准相同。该标准在标题为“Information Technology-Generic Coding of Moving Pictures and Associated Audio, Recommendation H.626（信息技术—活动图形及有关声音的通用编码，推荐书 H.626）”的国际标准（IS）出版物 ISO/IEC 13818_2 IS, 11/94 中有所说明，该出版物可从 ISO 得到，其中关于 MPEG-2 数字视频编码标准的规定在此引用作为参考。

MPEG-2 标准实际上是几个不同的标准。在 MPEG-2 中定义了几种不同的模型，每种模型对应于编码图像的一种不同的复杂程

序。对于每种模型又定义了几个级别，每个级别对应于一个不同的图像分辨率。MPEG-2 标准中的一个称为“主模型，主级别” (Main Profile, Main Level) 的标准是准备用于对符合已有电视标准 (即 NTSC 和 PAL) 的视频信号进行编码的。另一个称之为“主模型，高级别”的标准是准备用于对高分辨率电视图像进行编码的。根据“主模型，高级别”标准编码的图像可以在每个图像帧中有高达 1152 条的有效行并且在每行中有高达 1920 个的像素。

另一方面，“主模型，主级别”标准规定了每行 720 个像素和每帧 567 行这样的最大图形规模。对于帧率为每秒 30 帧的情况，根据该标准编码的信号的数据率将为每秒 $720 \times 567 \times 30 = 12247200$ 个像素。与之成对比的是，根据“主模型，高级别”标准编码的图像的最大数据率为每秒 $1152 \times 1920 \times 30 = 66355200$ 个像素。这个数据率大于按“主模型，主级别”标准编码的图像数据率的 5 倍。在美国，HDTV 编码的标准是上述标准的一个子组，其帧规模高达每帧 1080 行，每行 1920 像素，并且该帧规模下的最大帧率为每秒 30 帧。这个标准下的最大数据率仍然远大于“主模型，主级别”标准下的最大数据率。

MPEG-2 标准规定了一种复杂的句法，其中混合有数据和控制信息。某些这样的控制信息用来使具有几种不同格式的信号能被该标准所包含。这些格式定义了一些图像，这些图像的每行有不同的数目的像元 (像素)，每帧或每场有不同数目的行，以及每秒有不同数目的帧或场。此外，MPEG-2 主模型的基本句法定义了代表 5 个层次上的图像的压缩 MPEG-2 比特流，这 5 个层次是系列层、图形组层、图形层、切片层和宏块层。每个这样的层都用控制信息导入。最后，在整个的编码比特流中还散布着称之为副 (side) 信息的其他控制信息 (例如帧类型、宏块模式、图像运动矢量、系数交错模式和退量化信息)。



编码高分辨率“主模型，高级别”图形向较低分辨率的“主模型，高级别”图形、“主模型，主级别”图形、或者其他较低分辨率图形的格式转换对于以下三方面具有日益增大的重要性：a) 提供能用于多种现有视频格式的单个解码器，b) 提供“主模型，高级别”信号与个人计算机监视器或已有的用户电视机之间的接口，以及 c) 减小实现 HDTV 的成本。例如，这种转换使得可以用具有较低图形分辨率的廉价的已有监视器，例如 NTSC 制的或 525 线逐行扫描监视器取代与“主模型，高级别”编码图形结合使用的昂贵的高分辨率监视器，来支持例如“主模型，主级别”的编码图形。格式转换的一种是下转换，它把高分辨率输入图形转换成较低分辨率图形，以便在较低分辨率的监视器上显示。

为了有效地接收数字图像，解码器必须能快速的处理视频信号信息。为了达到最佳意义上的“有效”，解码系统应该是相对价廉但仍具有能够实时地解码这种数字信号的功能。所以，一个能支持转换成多种低分辨率格式的解码器必须使处理器所需的存储量最小化。

本发明的概述

本发明在一种用来接收、解码和显示以多种不同格式编码的视频信号的数字视频信号处理系统中体现。该系统含有一个数字视频解码器，该解码器可以被控制得能对编码视频信号解码，或者还能提供解码视频信号的较小分辨率的版本。该系统通过处理接收到的编码视频信号来确定当该信号被解码后本应得到的图像的格式和分辨率。该系统还含有一个控制器，该控制器接收被确定了格式和分辨率信息，还接收关于将用来显示该接收图像的显示装置的格式和分辨率的信息。然后该控制器产生一些信号，使数字视频解码器给出具有匹配于该显示装置的分辨率和宽高比的模拟视频信号。

根据本发明的一个方面，编码视频信号是用一种频域变换操作进行编码的，并且数字视频解码器含有一个作用于该频域变换数字视频信号的低通滤波器。

根据本发明的另一个方面，数字视频解码器与一个可编程空间滤波器相耦合，后者能在响应于控制器所提供的控制信号时对数字视频解码器所提供的解码数字视频信号进行重新采样，以产生符合显示装置的宽高比和分辨率的数字视频信号。

根据本发明的另一个方面，数字视频信号是根据活动图形专家组（MPEG）所规定的一种编码技术编码的，并且编码视频信号的宽高比和分辨率是从数字视频解码器所接收到的包化基本数据流（PES）数据包中的前端部提取的。

根据本发明的另一个方面，数字视频信号是根据 MPEG 所规定的一种编码技术编码的，并且编码视频信号的宽高比和分辨率是从数字视频解码器所接收到的视频比特流的系列前端部提取的。

根据本发明的另一个方面，上述系统含有一个用户输入装置，用户可以利用该装置对系统构形，使之产生与显示装置相兼容的输出视频信号。

根据本发明的另一个方面，上述系统含有能自动地确定显示装置的宽高比和分辨率的设备。

根据本发明的另一个方面，上述系统含有这样的设备，该设备能相继地产生对应于多种显示装置类型的视频信号，并能在响应于用户所提供的选择信号时确定一种对应于显示装置的分辨率和宽高比的显示类型。

附图的简要说明

通过下面结合附图的详细说明，本发明的这些优点和其他优点将变得明显。

图 1A 是根据本发明一个示范性实施例的一个视频解码和格式转换系统的高层次方框图。

图 1B 是说明本发明一个示范性实施例所使用的带有对外部存储器的接口的 ATV 视频解码器的功能模块的高层次方框图。

图 2A 是一种以往技术视频解码器的高层次方框图。

图 2B 是本发明一个示范性实施例所使用的下转换系统的高层次方框图。

图 2C 是说明图 2B 所示解码器的构形的方框图，该解码器用来对具有 1125I（1125 行，隔行扫描）格式的视频信号解码，解码中包含了比率为 3 的向 525P（525 行，逐行扫描）/525I 格式的下转换。

图 2D 是说明图 2B 所示解码器的构形的方框图，该解码器用来对具有 750P 格式的视频信号解码，解码中包含了比率为 2 的向 525P/525I 格式的下转换。

图 3A 是说明关于本发明的 3:1 和 2:1 示范性实施例的亚像素位置和相应预测像素的像素图。

图 3B 是说明上采样处理的流程图，该处理对本发明一个示范性实施例的输入宏块中的每一行执行。

图 4 是说明块镜像滤波器的一个示范性实施例的第一和第二输出像素值的多个数值对像素图。

图 5 是说明一个二维系统的下转换滤波器的示范性实现的方框图，该二维系统用两个串接的一维 IDCT（逆离散余弦变换）实现对水平分量和垂直分量的处理。

图 6A 是说明对 4:2:0 视频信号采用 3:1 选留时的输入像素和选留输出像素的宏块图。

图 6B 是说明对 4:2:0 视频信号采用 2:1 选留时的输入像素和选留输出像素的像素块图。

图 6C 是说明对于水平方向比率为 2 的下转换为存储在存储器中

而把 2 个宏块融合成一个宏块的融合处理的宏块图。

图 6D 是说明对于水平方向比率为 3 的下转换为存储在存储器中而把 3 个宏块融合成一个宏块的融合处理的宏块图。

图 7A 是说明本发明一个实施例的垂直可编程滤波器的方框图。

图 7B 是说明垂直滤波系数与图 7A 的垂直可编程滤波器一些行的像素采样空间之间的空间关系的像素图。

图 8A 是说明本发明一个实施例的水平可编程滤波器的方框图。

图 8B 是说明水平滤波系数与本发明一个实施例的像素采样值之间的空间关系的像素图。

图 9A 是像素号对重新采样比率的关系图，该图说明本发明一个实施例的重新采样比率的变化形状。

图 9B 是说明把 4: 3 图形映射成 16: 9 显示的第一重新采样比率变化形状的图。

图 9C 是说明把 4: 3 图形映射成 16: 9 显示的第二重新采样比率变化形状的图。

图 9D 是说明把 16: 9 图形映射成 4: 3 显示的第一重新采样比率变化形状的图。

图 9E 是说明把 16: 9 图形映射成 4: 3 显示的第二重新采样比率变化形状的图。

图 10 是说明采用根据本发明一个实施例的重新采样比率变化形状的效果的图像形状图。

图 11A 是说明本发明一个示范性实施例的 ATV 视频解码器的显示部分的高层次方框图。

图 11B 是说明本发明一个示范性实施例的 27MHz 双输出模式的方框图，其中的视频数据是 525P 或 525I 格式的，第一个处理链向 27MHz 数模转换器 (D/A) 和一个 NTSC 编码器提供视频数据。

图 11C 是说明在本发明的一个示范性实施例的 27MHz 单输出模

式中仅向一个 NTSC 编码器提供 525I 格式视频信号的方框图。

图 11D 是说明本发明的一个示范性实施例的 74MHZ/27MHZ 模式的方框图，其中的输出格式匹配于输入格式，并且根据输入格式的不同或者给一个 27MHZ 数模转换器或者给一个 74MHZ 数模转换器提供视频信号。

图 12 是一个视频解码器的高层次方框图，该解码器含有本发明一个示范性实施例为解码 ATSC 视频信号所使用的高带宽存储器。

详细说明

系统概述

本发明的各个示范性实施例对根据 MPEG-2 标准编码的，特别是根据“主模型，高级别(MP@HL)”和“主模型，主级别(MP@ML)”标准编码的普通 HDTV 信号进行解码，并且以具有低下所接收 HDTV 信号的分辨率和从多种格式中选出的一种格式的视频信号形式提供解码信号。

MPEG-2 主模型标准规定了一系列 5 种级别的图像：序列级别、图形组级别、图形级别、切片级别和宏块级别。其中每种级别都可被认为是一个数据流中的一个记录，并且列在后面的级别是含于列在前面的级别中的子级别。每种级别的记录都含有一个前端部，前端部中含有用于解码其子记录的数据。

编码 HDTV 信号的每个宏块都含有 6 个数据块，每个数据块含有代表 HDTV 图像中 64 个图形单元（像素）的 64 个离散余弦变换（DCT）系数值的数据。

在编码处理中，离散余弦变化之前的像素数据可以经过运动补偿差分编码，并且变换系数数据块利用行扫描长度和可变长度编码技术被进一步编码。从数据流恢复图像系列的解码器进行编码处理

的逆处理。该解码器使用一个熵解码器（例如可变长度解码器），一个逆离散余弦变换（IDST）处理器、一个运动补偿处理器和一个插值滤波器。

本发明的视频解码器被设计得可以支持许多不同的图形格式，同时又只需要最小的解码存储器，例如 48Mb 的“Concurrent Rambus（并行随机访问存储器总线）”动态随机访问存储器（并行 RDRAM），来对高分辨率编码图形格式进行下转换。

图 1A 示出一个使用本发明一个示范性实施例的系统，该系统能接收和解码 MP@HL 或 MP@ML 标准的编码视频信息，把解码的信息格式化成为用户所选择的输出视频格式（同时包括视频和音频信息），并提供用来把格式化的视频输出信号输出给显示装置的接口。本发明的一些示范性实施例被设计得能支持所有的 ATSC 视频格式；并且在下转换（DC）模式中本发明能接收任何 MPEG 主模型的视频比特流（受 FCC 标准限制的）和提供 525P、525I 或 NTSC 格式。

图 1A 的示范性系统含有一个前端接口 100、一个视频解码器部分 120 及其相关的解码存储器 130、一个主视频输出接口 140、一个音频解码器部分 160、一个任选的计算机接口 110 和一个任选的 NTSC 视频处理部分 150。

参见图 1A，该示范性系统的前端接口 100 含有一个传输解码器和处理器 102 及相关的存储器 103。还可以含有一个任选的（多路）转接器（MUX）101，用来接收来自计算机接口 110 的例如根据 IEEE1394 连系层协议的控制信息和计算机产生的图像，或者用来恢复来自一个数字电视调谐器（未示出）的编码传输流。传输解码器 102 把从通信通道比特流接收到的压缩数据比特流转换成压缩视频数据，后者例如可以是根据 MPEG-2 标准的包化基本数据流（PES）数据包。传输解码器可以直接提供 PES 数据包，或者也可以进一步

把 PES 数据包转换成一个或多个基本数据流。

视频解码器部分含有一个 ATV 视频解码器 121 和一个锁相环 (PLL) 122。ATV 视频解码器 121 从前端接口 100 接收基本数据流或视频 PES 数据包,若是后者则把数据包转换成基本数据流。然后 ATV 视频解码器 121 的一个前端图形处理器根据所用的编码方法对基本数据流解码,提供每个图像图形的亮度和色度像素信息。PLL 122 使图 1A 系统所执行的音频和视频处理同步。

ATV 视频解码器 121 还含有一个存储器子系统和一个显示部分,前者利用一个提供图像图形信息的外部存储器控制解码操作,后者把解码的图形信息处理成所需的图形格式,ATV 视频解码器 121 利用解码器存储器 130 处理编码视频信号。解码器存储器 130 含有一些存储单元 131、132、133、134、135 和 136,它们各自都可以是一个 16Mb 的 RDRAM 存储器。后面将说明本发明示范性实施例的视频解码器部分 120 和解码器存储器 130。

主视频输出接口 140 含有一个可以是工作于 74MHz 的第一数模转换器 (DAC) 141 (它实际上有分别用于亮度信号和 C_R 、 C_B 色度信号的 3 个 D/A (数/模) 单元),其后面还有一个滤波器 142。该接口产生 1125I 或 750P 格式的模拟视频信号。该接口还含有一个可以是工作于 27MHz 的第二 DAC 143 (它也由用于亮度信号和 C_R 、 C_B 色度信号的 3 个 D/A 单元组成),其后面还有一个对 525I 或 525P 格式视频信号的滤波器 144。主视频输出接口 140 对具有所需格式的数字编码视频信号进行转换,利用一个 D/A 转换器产生具有所需格式的色度和亮度分量的模拟视频信号,并对该模拟视频信号进行滤波以除去 D/A 转换处理中的采样缺陷。

音频解码器部分 160 含有一个 AC3 音频解码器 162 和一个任选的 6-2 频道向下混频处理器 161,前者在其输出端口 163 和 164 处提供音频信号,后者在其输出端口 165 处提供双通道音频信号。从

编码数字信息到输出编口 163、164、165 处的模拟输出的对 MP@HL MPEG-2 标准的声频信号分量的声频处理是本技术领域所熟知的，适合于作为解码器 160 的声频解码器是可以从加利福尼亚州 Santa Clara 市的 Zoran Corporation 购得的 ZR38500 6 通道 Dolby (杜比) 数字环绕声处理器。

任选的计算机接口 110 发送和接收例如符合 IEEE 1394 标准的计算机图像信号。计算机接口 110 含有一个物理层处理器 111 和一个连系层处理器 112。物理层处理器 111 把来自输出端口 113 的电信号转换成接收到的计算机产生图像信息和控制信号，并把这些信号提供给连系层处理器 112 以解码成 IEEE1394 格式的数据。物理层处理器 111 还把接收到的来自传输解码器 102 的经连系层处理器 112 编码的控制信号按照 IEEE1394 标准转换成电输出信号。

NTSC 视频处理部分 150 含有一个任选的 ATV-NTSC 下转换处理器 151，该处理器把滤波器 142 所提供的模拟 HDTV 信号转换成 525I 信号。这种不同标准之间的转换是本技术领域所已知的，可以利用空间滤波技术来实现。这种滤波技术例如公开于授予 Hau 等人的美国专利 No.5,613,084，该专利的标题为“INTERPOLATION FILTER SELECTION CIRCUIT FOR SAMPLE RATE CONVERSION USING PHASE QUANTIZATION (利用相位量化的采样率转换插值滤波器选择电路)”，该专利在此引用作为参考。在本发明的示范性实施例中，这个处理部分仅在解码器处理 1080I 或 1125I 信号时才使用。

NTSC 编码器 152 或者从处理器 151 或者直接从解码器 120 接收 525I 模拟信号，并把该信号转换成输出端口 153 (S-视频) 和 154 (组合视频) 处的 NTSC 格式视频信号。

使用解码器存储器的视频解码器部分

图 1B 是示出 ATV 视频解码器 121 的各个功能模块的高层次方框图, 该视频解码器含有一个对本发明的一个示范性实施例所使用的外部存储器 130 的接口。ATV 视频解码器 121 含有: 一个图形处理器 171、一个宏块解码器 172、一个显示部分 173 和一个存储器子系统 174。图形处理器 171 接收、存储和部分地解码输入的 MPEG-2 视频比特流, 并提供可以在存储器子系统 174 的控制之下存储在存储器 130 中的编码比特流、屏幕显示数据和运动矢量。当使用预测编码时, 宏块解码器 172 接收编码比特流、运动矢量和存储的运动补偿参考图像数据, 并向存储器子系统 174 提供编码视频图像的解码宏块。显示部分 173 从存储器子系统 174 提取解码宏块, 并把它们格式化以供显示的视频图像图形。这几个部分的操作将在下面详细说明。

a) 图形处理的主模型格式支持

本发明的 ATV 视频解码器 121 被设计得能支持所有的 ATSC 视频格式。为了简单, 把 ATV 视频解码器 121 的操作称之为下转换 (DC), ATV 视频解码器 121 能接收任何表 1 中所示的 MPEG 主模型视频比特流, 并提供 525P、525I 或 NTSC 格式的视频信号。对于图 1A 的示范性视频解码器, 在 DC 模式下任何 HDTV 或 SDTV 信号都被解码, 并在下述两端口的任一端口处提供显示输出信号; 端口 1 提供逐行扫描图像或隔行扫描图像; 端口 2 提供隔行扫描图像。

在 DC 模式中, 对主级别图形高频分量的低通滤波作为解码处理的一个部分, 把高分辨率图形调节成一种具有较低分辨率的格式。这个操作包括高分辨率图形的水平滤波和垂直滤波。注意, 在 DC 模式中显示格式的转换可以使 16×9 宽高比的原始图形显示在 4×3 的显示器上, 或者相反。这一处理将在后面讨论视频解码器部分 120

的显示部分时说明。表 2 对表 1 中各种输入比特流分别给出能支持的主输出和辅助输出图形格式。

表 1

视频比特流格式

序号和格式	水平	垂直	宽高比	帧率 (HZ)
(1) 1125I	1920	1080	16×9	30, 29.97
(2) 1125P	1920	1080	16×9	30,29.97,24,23.98
(3) 750P	1280	720	16×9	60,59.94,30,29.97,24,23.98
(4) 525P	740	480	16×9	60, 59.94, 30, 29.97
(5) 525P	704	480	4×3	60, 59.94, 30, 29.97, 24, 23.98
(6) 525P	640	480	4×3	60,59.94,30,29.97,24,23.98
(7) 525I	704	480	16×9	30,29.97
(8) 525I	704	480	4×3	30,29.97
(9) 535I	640	480	4×3	30,29.97

表 2

DC 支持的视频格式

序号和格式	主输出格式	辅助输出格式	显示时钟 (MHZ)
(1) 1125I	525P	525I	27.00
(2) 1125I	525P	525I	27.00
(3) 750P	525P	525I	27.00
(4) 525P	525P	525I	27.00
(5) 525P	525P	525I	27.00
(6) 525P	525P	525I	27.00
(7) 525I	525P	525I	27.00
(8) 525I	525P	525I	27.00
(9) 525I	525P	525I	27.00

b) 解码, 下转换和下采样

1) 概述

图 2A 是以往技术的一种典型视频解码系统的高层次方框图, 该系统处理按 MPEG-2 编码的图形。MPEG-2 规定了不带后续处理, 即下转换或格式转换的用来解码 MPEG-2 编码图形的一般方法。该视频解码系统含有一个可以包含一个分析器 (parser) 209 的熵解码器 (ED) 211, 一个可变长度解码器 (VLD) 210, 和一个行长解码器 (R/L) 212。该系统还含有一个逆量化器 (IQ) 214 和一个逆余弦离散变换 (IDCT) 处理器 218。一个控制器 207 根据 ED211 从输入比特流提取出的控制信息去控制该解码系统的各个部件。为了处理预测图像, 该系统还含有: 一个带有参考帧存储器 222 的存储器 199, 一个求和网络 230, 和一个可以是带有一个运动矢量处理器 221 和一个半像素发生器 228 的运动补偿处理器 206a。

控制器 207 与一个红外接收器 208 相耦合, 后者接收例如由用户遥控装置所提供的命令信号。控制器 207 解码这些命令并使图 2A 系统的其余部分执行指定的命令。在本发明的该示范性实施例中, 图 2A 系统有一个设定模式, 在该模式下用户可以指定系统的一种构形。在本发明的一个示范性实施例中, 这种构形可以包括关于显示装置类型的规范。可以预期, 显示装置类型可以用显示分辨率和宽高比来规定。用户可以通过从一个列出了一些可能选择项的菜单上选出一个特定的显示宽高比和分辨率来指定显示类型, 或者也可以通过利用遥控装置指定一个显示格式来使系统进入某一模式, 这时需相继地给显示装置提供一些对应于不同显示格式的信号以显示各种模式, 并要求用户用遥控装置指定其中看来最舒适的一种显示格式。在正常操作中, 控制器 207 还从 ED211 的分析器 209 接收关

于编码视频信号的分辨率和宽高比的信息。控制器 207 利用该信息和所存储的关于显示装置分辨率和宽高比的信息，自动地把系统构形成能把接收到的编码信号处理成为适合于在显示装置上显示的模拟输出信号。

分析器 209 扫描接收比特流以寻找 MPEG 开始代码。这些代码有一个前缀。前缀的格式为 23 个相继的零值比特位和随后的一个值为 1 的比特。开始代码位在该前缀的后面，指明正在接收的记录的类型。在本发明的该示范性实施例中，分析器 209 把比特流存储到存储器 199 中，然后从存储器 199 把比特流提供给 VLD 作进一步处理。在图 2A 的方框图中，这一过程被缩简了，示出的是分析器直接把比特流提供给 VLD。

当分析器 209 在比特流中找到了开始代码时，它将把比特流传送给存储器 199 以存储在 VBV 缓存器中，同时还把一个关于开始代码的指针存储在控制器 207 可访问的存储器 199 的一个区域中。控制器 207 不断地访问各个开始代码指针，并通过它们访问记录的前端部。当控制器 207 找到一个系列的开始代码时，它将访问该系列的前端部中的信息，该信息指明了由该编码系列所代表的图像系列的宽高比和分辨率。根据 MPEG 标准，这个信息在系列前端部中紧接在系列开始代码的后面。

关于编码视频信号显示格式的信息（即其分辨率和宽高比）也含在包化基本流（PES）数据包的前端部中。可以设想，在本发明的另一个示范性实施例中，分析器 209 可以接收 PES 数据包，从中剥离开前端部以重建比特流，并把剥离出的前端部信息，包括接收视频信号的显示格式，传送给控制器 207。

如下所述，控制器 207 利用关于接收视频信号的显示格式信息和关于连接在解码系统上的显示装置（未示出）的显示格式信息，自动地或半自动地调整对接收视频信号的处理，以在显示装置上正

确地显示。

VLD210 通过存储器 199 中的 VBV 缓存器 (未示出) 从分析器 209 接收编码比特流, 并进行与编码处理相反的处理, 产生量化的频域 DCT 系数值宏块。VLD210 还提供包括运动矢量在内的控制信息, 该运动矢量描述对应于当前正在解码的预测图像的一个宏块的前面解码图像中的一个匹配宏块的相对位移。逆量化器 214 接收量化 DCT 变换系数并对一个特定宏块重建量化 DCT 系数。用于该特定宏块的量化矩阵是从 ED 211 接收的。

IDCT 处理器 218 把重建的 DCT 系数转换成空间域中的像素值 (各个代表宏块的亮度或色度分量的 8×8 矩阵值数据块和各个代表预测宏块的差分亮度或差分色度的 8×8 矩阵值数据块)。

如果当前宏块不是预测地编码的, 则由 IDCT 处理器 218 所提供的输出的矩阵值就是对应于当前视频图像的宏块的像素值。如果宏块是帧间编码的, 则前一视频图形帧的相应宏块被存储在存储器 199 中, 以供运动补偿处理器 206 使用。运动补偿处理器 206 在响应于运动矢量时从存储器 199 接收前一编码宏块, 然后在求和网络 230 中把前一宏块加到当前 IDCT 宏块 (对应于目前预测编码帧的剩余分量), 以产生当前视频图像像素的相应宏块, 然后该宏块被存入参考帧存储器 222 中。

图 2B 是本发明的一个采用这种 DCT 滤波操作的示范性实施例的下转换系统的高层次方框图, 它可以被一个工作于 DC 模式的本发明示范性实施例所使用。如图 2B 所示, 该下转换系统含有一个可变长度解码器 (VLD) 210、一个行长 (R/L) 解码器 212, 一个逆量化器 214, 以及一个逆离散余弦变换 (IDCT) 处理器 218。此外, 该下转换系统还含有一个用于对编码图形滤波的下转换滤波器 216 和一个下采样处理器 232。虽然下面将说明的是对于 MP@HL 编码输入的示范性实施例, 但本发明也可应用于任何类似的编码高分

分辨率图像比特流。

该下转换系统还含有一个具有运动矢量 (MV) 缩放器 220 的运动补偿处理器 206b, 一个含有上采样处理器 226 和半像素发生器 228 的运动块发生器 224, 以及一个参考帧存储器 222。

图 2B 的第一示范性实施例的系统还含有一个含有垂直可编程滤波器 (VPF) 282 和水平可编程滤波器 (HZPF) 284 的显示转换模块 280。显示转换模块 280 把下采样的图像转换成可显示在一个其分辨率低于原始图像的特定显示装置上的图像, 对此将在后面关于显示转换的第 d)(2) 节中详细说明。

下转换滤波器 216 对频域中的高分辨率 (例如主模型, 高级别 DCT) 系数执行低通滤波。下采样处理器 232 通过部分选取经滤波的主模型, 高级别图形而除去一些空间像素, 产生一组能显示在一个其分辨率低于显示 MP@HL 图形所需分辨率的监视器上的像素值。示范性的参考帧存储器 222 存储对应于至少前一解码帧的空间像素值, 该解码帧的分辨率与下采样图形相对应。对于帧间编码, MV 缩放器 220 对接收到的对应于减小了分辨率的图像的每个数据块换算运动矢量, 高分辨率运动块发生器 224 接收由参考帧存储器 222 所提供的低分辨率运动块, 对这些运动块进行上采样, 并按需要进行半像素插值以提供其像素位置对应于经解码和滤波的差分像素块的运动块。

应该指出, 在图 1B 的下转换系统中, 所存储的是下采样图像而不是高分辨率图像, 结果大为减少了存储参考图像所需的存储容量。

现在说明帧间编码情况下的本发明下转换系统的一个示范性实施例的操作。MP@HL 比特流由 VLD210 接收和解码。除了 HDTV 系统所用的前端部信息之外, VLD210 还提供每个数据块和宏块的 DCT 系数, 以及运动矢量信息。这些 DCT 系数在 R/L 解码器 212 中被按行长地解码, 并在逆量化器 214 中被逆量化。

由于由 DCT 系数所代表的接收视频图像是高分辨率图形，所以本发明的该示范性实施例在对高分辨视频图像进行选留之前对每个块的 DCT 系数进行了低通滤波。逆量化器 214 把 DCT 系数提供给进行频域低通滤波的 DCT 滤波器 216，该滤波通过用一些预定的滤波系数值对这些 DCT 系数进行加权来实现，然后再把滤波后的 DCT 系数提供给 IDCT 处理器 218。在本发明的一个示范性实施例中，这个滤波操作是逐数据块地执行的。

IDCT 处理器 218 通过对滤波 DCT 系数进行逆离散余弦变换来提供空间像素采样值。下采样处理器 232 通过根据预定的选留比除去一些空间像素采样值来减小图形的采样规模；因此，可以用存储量比存储较高分辨率的 MP@HL 图形小的帧存储器来存储较低分辨率的图形。

现在说明对于编码标准的预测帧的本发明下转换系统的一个示范性实施例的操作。在该实施例中，当前接收的图像 DCT 系数代表预测图像宏块的剩余分量的 DCT 系数，为了方便下面把后者称作预测帧（P-帧）。在所说明的示范性实施例中，一个预测帧的运动矢量的水平分量需要缩放，这是因为存储在存储器中的前面帧的低分辨率参考图形具有不同于高分辨率预测帧（MP@HL）的像素数。

参见图 2B，由 VLD210 提供的 MP@HL 比特流运动矢量被传送给 MV 缩放器 220。每个运动矢量都由 MV 缩放器 220 缩放成匹配于存储在存储器 199 的参考帧存储器 222 中的前一图像的参考帧的相应预测块。所提取的块的规模（像素值数目）小于 IDCT 处理器 218 所提供的块规模，所以要对提取的块进行上采样，使得在由求和网络 230 结合这两种块之前得到与 IDCT 处理器 218 所提供的剩余块的像素数相同的预测块。

上采样处理器 226 根据 MV 缩放器 220 的控制信号对预测块上采样，产生对应于原始高分辨率像素块的数据块，然后，如果半像

素发生器 228 中的上采样预测块的运动矢量有所指明, 则半像素发生器 228 将产生半像素值, 以保证预测块可以有正确的空间对准。在求和网络 230 中该经上采样和对准的预测块被加到当前经滤波的块上, 在本例中它是预测块的减小了分辨率的剩余分量。所有的处理都是逐个宏块地完成的。当对当前高分辨率宏块完成了运动补偿处理之后, 下采样处理器 232 将对重建的宏观进行相应的选留。这个处理并不减小图像的分辨率, 只是简单地从低分辨率滤波图像中除去一些多余的像素。

得到了一个图像的各个下采样宏块后, 显示转换模块 280 将分别通过 VPF282 和 HZPF284 对下采样图像的垂直和水平分量的滤波来调整图像, 使它能显示在低分辨率电视显示单元上。

现在说明图 1A 和图 1B 的 ATV 视频解码器 121 的各个功能模块之间的关系。图 1B 的图形处理器 171 接收视频图形信息比特流。宏块解码器 172 含有: VLD210、逆量化器 214、DCT 滤波器 216、IDCT218、求和网络 230、和运动补偿预测器 206a、206b。图像处理器 171, 可以共用该 VLD210。外部存储器 130 对应于存储器 199, 含有包括参考帧存储器 222 的 16Mb RDRAM 131—136。

图 2C 说明系统在 DC 模式下把 1125I 信号转换成 525P/525I 格式的操作。在此情形中, 在经过了参考图 2B 所说明的 DCT 滤波器 216 的低通滤波之后, 该系统以比率 3 对高分辨率信号进行下采样, 并以隔行扫描 640H (水平) 和 1080V (垂直) 的格式把图形存储在 48Mb 存储器中。在该系统中, 在完成运动预测解码之前运动补偿处理首先以比率 3 对存储图像进行上采样 (并且对接收到的运动矢量进行缩放)。图形也要被水平和垂直滤波, 以实现显示转换。

类似地, 图 2D 说明 DC 模式下从 750P 到 525P/525I 的格式下转换的操作。除了为了存储器存储而进行的下采样以及为运动补偿而进行的上采样所取的比率都改为 2 之外, 这个转换操作的方法与

1125I 到 525P/525I 的相同。

2) 下转换宏块预测

对于示范性的下转换处理，由于前面图像的参考帧在水平方向上变小了，所以接收到的关于这些帧的运动矢量也可能按转换比率被缩放了。下面将说明水平方向上亮度块的运动缩放。熟悉本技术领域的人们在需要时可以容易把下面的讨论推广到垂直方向上的运动缩放。用 X 和 Y 表示当前宏块在原始图像帧中的地址，用 D_x 表示水平选留比率， mv_x 表示原始图像帧中的半像素水平运动矢量，则原始图像帧中运动块的左上角地址 XH （以半个像素为单位）由（1）式给出：

$$XH = 2x + mv_x \quad (1)$$

对应于运动块的像素起始于下采样图像，其地址 x^* 和 y^* 可以用（2）式确定：

$$x^* = \frac{XH}{2 \cdot D_x}; y^* = y \quad (2)$$

等式（2）中的比值取其整数部分。

由于示例性滤波器 216 和下采样处理器 232 都只减少图像的水平分量，所以运动矢量的垂直分量没有受影响。在原始图像中，运动矢量的色度数据是亮度运动矢量的一半。因此，也可以利用等式（1）和（2）作为缩放色度运动矢量的规定。

运动预测通过以下两个步骤的处理完成：首先，可以通过图 2A 和 2B 的上采样处理器 226 中的对下采样图像帧的上采样完成原始图像帧中的具有像素精度的运动估计；然后，半像素发生器 228 通过平均两个最靠近像素的值来进行半像素插值。

参考图像数据被加到 IDCT 处理器 218 所提供的输出数据上。由于求和网络 230 的输出值对应于一个其像素数与高分辨率格式相一

致的图像，所以可以通过对这些值进行下采样来显示在低分辨率显示器上。下采样处理器 232 中的下采样基本上等价于对图像帧的亚采样，但可以根据转换比率进行调整。例如，在 3: 1 下采样的情况中，对于每个输入宏块水平下采样的像素数为 6 或 5，而且第一个下采样像素并不总是输入宏块中的第一个像素。

当从下采样图像获得了校正运动预测块后，利用上采样得到离分辨率图形中的相应预测块。所以，希望在下采样图像中有具有亚像素精度的运动块预测。例如，如果采用 3: 1 选留，则为了正确的运动预测希望在下转换图形中有 1/3（或 1/6）的亚像素精度。除了下采样运动块之外，还确定作为运动矢量所需的第一个像素的亚像素。然后用下述的余数算法确定后面的亚像素位置。亚像素位置 X_s 由 (3) 式给出：

$$x_s = \left(\frac{XH}{2} \right) \% (Dx) \quad (3)$$

其中“%”代表模量除法。

例如，对于 3: 1 上采样的情况 x_s 的范围是 0、1、2；对于 2: 1 上采样的情况 x_s 的范围是 0、1。图 3A 示出了 3: 1 和 2: 1 情况中的一些亚像素位置和相应的 17 个预测像素，表 3 给出了图 3A 中的符号含义。

表 3

符 号	像 素
●	下采样像素
△	上采样像素
○	预测像素
□	上采样的额外右像素和额外左像素

如前所述，上采样滤波器可以是多阶段滤波器，表 4 给出了这些上采样多阶段插值滤波器的特性。

表 4

	3: 1 上采样	2: 1 上采样
多阶段滤波器的数目	3	2
分支数目	3	5
水平下采样像数的最大数目	9	13

下面两个表格，即表 5 和表 6，示出了示例性的 3: 1 和 2: 1 上采样多阶段滤波器的多阶段滤波系数。

表 5 3: 1 上采样滤波器

	阶段 0	阶段 1	阶段 2
双精度	-0.1638231735591 0.7900589359512 0.3737642376078	0.0221080691070 0.9557838617858 0.0221080691070	0.3737642376078 0.7900589359512 -0.1638231735591
定点 (9 比特)	-0.1640625(-42) 0.7890625(202) 0.3750000(96)	0.0234375(6) 0.95703125(244) 0.0234375(6)	0.3750000(96) 0.7890625(202) -0.1640625(-42)

表 6 2: 1 上采样滤波器

	阶段 0	阶段 1
双精度	0.0110396839260	-0.1433363887113
	0.0283886402920	0.6433363887113
	0.9211433515636	0.6433363887113
	0.0283886402920	-0.1433363887113
	0.0110396839260	0.0000000000000
定点 (9 比特)	0.01718750(3)	-0.14453125(-37)
	0.02734375(7)	0.64453125(165)
	0.92187500(236)	0.64453125(165)
	0.02734375(7)	-0.14453125(-37)
	0.01718750(3)	0.00000000(0)

在表 5、表 6 的定点表示中，括号内的数是 9 比特情况下的二进制补数表示，其左侧是相应的双精度数值。根据下采样参考图像帧中运动预测块的亚像素位置，采用多阶段插值滤波器的一个相应阶段。还有，对于该示范性实施例，左端和右端的额外像素用来对原始图像帧中的 17 个水平像素插值。例如对于 3: 1 选留情况，对每个输入宏块最多可产生 6 个水平下采样像素。然而在上采样时，由于上采样滤波器需要边界外面的左、右额外像素才能操作，所以要用 9 个水平像素来产生相应的运动预测块的值。因为该示范性实施例采用了半像素运动估计，所以需要用 17 个像素来得到作为两相邻像素采样的平均值的 16 个半像素值。半像素插值器执行能提供具有半个像素分辨率的像素块的插值操作。表 7A 给出了亚像素位置与多阶段滤波器阶段号之间的示范性映射关系，并示出了上采样处理所需的除了上采样块中的像素之外的额外左像素的数目。

表 7A

	亚像素位置	多阶段	额外左像素数	坐标变化
3: 1 上采样	0	1	1	$x^* \rightarrow x^* - 1$
	1	2	1	$x^* \rightarrow x^* - 1$
	2	0	0	
2: 1 上采样	0	0	2	$x^* \rightarrow x^* - 2$
	1	1	2	$x^* \rightarrow x^* - 2$

图 3B 总结了对输入宏块的每个行进行的上采样处理。首先在步骤 310 中接收被处理输入图像帧的数据块的运动矢量。在步骤 312 中，使运动矢量缩放得对应于存储器中的下采样参考帧。在步骤 314 中，用经缩放的运动矢量计算存储在存储器 130 中的所需参考图像半宏块的坐标值。在步骤 316 中，确定该半宏块的亚像素点，然后在步骤 318 中确定上采样初始多阶段滤波器的值。接着在步骤 320 中从存储器 130 提取存储下采样参考帧的参考半宏块的已确定像素。

在第一次进入到滤波步骤 324 之前，可以在步骤 322 中初始化滤波器的各个寄存器，对于本示范性实施例该步骤包括把初始的 3 个或 5 个像素值安装到寄存器中的步骤。然后在经过滤波步骤 324 后，步骤 326 判断是否所有的像素都已经过了处理，在本示范性实施例中它们有 17 个像素。如果所有像素都已处理，则该上采样块便完成了。对于本示范性实施例，这将给出一个 17×9 像素的半宏块。系统将返回上半宏块或下半宏块，使得既能对逐行扫描图像又能对隔行扫描图像实现运动预测解码。如果还没有处理完所有的像素，则在步骤 328 中更新滤波器阶段，并检验阶段值是否为 0。如果阶段值为 0，则寄存器更新成下一组的像素值。步骤 328 中的更新对示范性的 3: 1 上采样来说其滤波器循环周期为使阶段值按 0, 1, 2

的顺序更新；对于 2: 1 上采样；其滤波器循环周期为使阶段值按 0, 1, 的顺序更新。对于最左端像素位在图像图形边界外面的情况，可以重复图像图形中的第一个像素值。

在一个示范性实施例中，上采样滤波操作可以按下述路线来实现。首先，可能要用到几点：1) 半像素预测操作对两个全像素取平均，并且还对相应的滤波系数取平均以提供半像素的滤波系数；2) 不论具体采用何种下转换，都可能要用到确定数目，例如 5 个的滤波系数，它们可以等价于滤波器分支的数目；3) 可以给每个前面和后面的低块和高块的上采样块提供 5 个并行的输入端口，并且为了提供一个输出像数，还要对与相应滤波系数相结合后的每个参考块在每个时钟节拍内提供 5 个输入像素 LWR (0) —LWR (4)；以及，4) 滤波系 $h(0) - h(4)$ 分别与各像素 LWR (0) —LWR (4) 的结合的和值给出采样块的输出像素。

由于相乘的次序与滤波系数的正常次序是相反的，所以最好把各滤波系数的次序反过来，并且可能还希望使某些系数为零。图 7B 给出 3: 1 上采样滤波器的示范性滤波系数，图 7C 给出 2: 1 上采样滤波器的示范性滤波系数：

表 7B

	亚像素 0	亚像素 1	亚像素 2	亚像素 3	亚像素 4	亚像素 5
滤波系数	6	-18	-42	-21	96	51
	244	223	202	149	202	223
	6	51	96	149	-42	-18
	0	0	0	-21	0	0
	0	0	0	0	0	0
参考	x^*-1	x^*-1	x^*-1	x^*-1	x^*	x^*
阶段	01	00	10	01	00	10
半像素	0	1	0	1	0	1

表 7C

	亚像素 0	亚像素 1	亚像素 2	亚像素 3
滤波系数	3 7 236 7 3	2 -15 200 86 -17	-37 165 165 -37 0	-17 86 200 -15 2
参考	x^*-2	x^*-2	x^*-1	X^*-1
阶段	00	00	01	01
半像素	0	1	0	1

表 7B 和 7C 中的 x^* 是按等式 (1) 和 (2) 定义的下采样像素位置, 亚像素位置 X_s 由等式 (3) 重新定义为等式 (3'):

$$x_s = (XH) \% (2Dx) \quad (3')$$

对于示范性实施例中的色度值, XH 要缩放两倍, 等式 (1)、(2) 和 (3') 仍适用。在一个实施例中, 阶段和半像素信息 (分别用 2 个比特和 1 个比特编码) 供图 2B 的运动补偿处理器 220 和半像素发生器 228 使用。例如, 参考块像素首先作为 U 像素提供, 其次作为 V 像素提供, 最后作为 Y 像素提供。U、V 像素被时钟同步 40 个周期, Y 像素被同步 144 个周期。参考块可以按 3: 1 选留提供, 其方法是: 提供最前面 5 个像素, 重复两次, 把数据移动一位然后重复, 直到一行结束。对于 2: 1 选留也可以用同样的方法, 只是其中的重复次数是一次而不是两次。由于选留跟随在运动补偿输出与具有剩余值的半像素值的求和之后, 所以输入像素是重复的。结果, 对于 3: 1 选留, 三个像素中的两个像素被删除, 这些像素的无效像素值是没有关系的。

3) 采用 DCT 系数加权的 DCT 域滤波

本发明的示范性实施例含有取代空间域低通滤波器的图 2A DCT 滤波器 216, 它对 DCT 系数在频域中进行处理。用 DCT 域滤波取代 DCT 编码图形的空间域滤波有几个优点, 例如 MPEG 或 JPEG 标准就期望这样做, 最明显的是, DCT 域滤波器在计算方面更为有效, 并且所需的硬件比对空间像素采样值进行空间域滤波所需的要少。例如, 一个有 N 个分支的空间滤波器可能对每个空间像素采样值要用到多达 N 个额外的乘法器和加法器。与之相比, DCT 域滤波器只要一个额外的乘法器。

以往技术中最简单的 DCT 域滤波器是截断高频 DCT 系数。然而, 高频 DCT 系数的截断不能得到平滑的滤波, 并且还出现在靠近解码图形的边缘处发生“振铃”现象的缺点。本发明示范性实施例的 DCT 域低通滤波器是从空间域中的块镜像滤波器衍生出来的。块镜像滤波器的滤波系数值例如通过空间域中的数值分析实现优化, 然后再把这些值转换成 DCT 域滤波器的滤波系数。

虽然该示范性实施例示出了仅在水平方向上的 DCT 域滤波, 但通过组合水平和垂直滤波器, 可以在水平或垂直中的任一方向上或者同时在两个方向上进行 DCT 域滤波。

4) DCT 域滤波系数的推导

本发明的一个示范性滤波器是从两个限制条件下导出的: 第一, 该滤波器对图像每个块的图像数据处理是逐块地进行的, 其中不需要用到关于图形前面各块的信息; 第二, 该滤波器能减小在处理边界像素值时出现的块边界的明显性。

根据第一个限制, 例如在对一个 MPEG 图像系列进行基于 DCT 的压缩时, $N \times N$ 个 DCT 系数将产生 $N \times N$ 个空间像素值。结果,

本发明的该示范性实施例实现了一种仅仅对接收图形的一个当前块进行处理的 DCT 域滤波器。

根据第二个限制，如果简单地对一个块的空间频率系数进行滤波，则由于在边界外部没有足够数目的空间像素值来充填滤波器的剩余部分，在块的边界处滤波操作将发生突变。也就是说，由于有 N 分支的滤波器只对 $N/2$ 个分支的值有值，而其余的值在块边界的外部，所以块边缘处的系数值不能被正确地滤波。存在有几种方法来给出缺少的像素值：1) 在边界外面重复一个预定的恒定像素值；2) 重复边界处的像素值；以及 3) 用被处理块的像素值的镜像来模拟邻接该块的前一块和后一块的像素值。在没有关于前后块内容的先验信息的情况下，认为重复像素的镜像方法是一种较好的方法。因此，本发明的一个实施例采用这种镜像方法进行滤波，称之为“块镜像滤波。”

下面说明实现水平块镜像滤波器的一个示范性实施例，该滤波器对一个块的 8 个输入空间像素采样值进行低通滤波。如果输入块的大小为像素采样值的 8×8 块矩阵，则可以通过对每个有 8 个像素采样值的行进行块镜像滤波来完成水平滤波。对于熟悉本技术领域的人们很明显，可以通过逐列地把滤波系数作用到块矩阵上来实现滤波处理，或者通过先对块矩阵的各个行滤波然后对各个列滤波来完成多维滤波。

图 4 示出输入像素值 x_0 至 x_7 (群 X_0) 与一个示范性 8 输入像素镜像滤波器的滤波器发支之间的对应关系，该镜像滤波器采用了由分支值 h_0 至 h_{14} 代表的 15 个分支空间滤波器。群 X_0 的输入像素被镜像成左侧的群 X_1 和右侧的群 X_2 。滤波器的输出像素值是各滤波器分支系数值与相应像素采样值的 15 个乘积的和。图 4 分别示出了第一和第二输出像素值的 15 个相乘对。

下面证明空间域的块镜像滤波与 DCT 域滤波是等价的。镜像滤

11.12

$$x'(n) = x(n) + x(2N-1-n); \quad 0 \leq n \leq 2N-1 \quad (4)$$
$$x' = (x_0, x_1, x_2, x_3, x_4, x_5, x_6, x_7, x_7, x_6, x_5, x_4, x_3, x_2, x_1, x_0)$$
$$h' = (h7, h8, h9, h10, h11, h12, h13, h14, 0, h0, h1, h2, h3, h4, h5, h6)$$
$$y(n) = x'(n) \otimes h'(n) \quad (5)$$
$$y(n) = \sum_{k=0}^{2N-1} x'[n-k] \cdot h'(n) \quad (6)$$
$$x' \cdot [n] = x' \cdot (n) \quad \text{当 } n \geq 0$$
$$x'[n] = x'[n+2N] \quad \text{当 } n < 0$$
$$Y(k) = X'(k) \cdot H'(k) \quad (7)$$

其中 $X'(k)$ 和 $H'(k)$ 分别是 $x'(n)$ 和 $h'(n)$ 的 DFT。

等式 (4) 至 (7) 对分支数小于 $2N$ 的滤波器成立。此外, 该滤波器被限定为一个有奇数个分支的对滤波器, 在这些限制下 $H'(k)$ 是一个实数。因此, 为了实现滤波操作, 可以用在频域中以一个实

数 $H'(k)$ 来加权 $x'(n)$ 的 DFT 即 $X'(k)$, 以取代在空间域中的 $2N$ 个乘法和 $2N$ 个加法操作。 $X'(k)$ 的值与原始的 N 个点 $x(n)$ 的 DCT 系数是十分密切相关的, 这是因为 $x(n)$ 的 N 点 DCT 是从 $x'(n)$ 的 $2N$ 点 DFT 得到的, 其中 $x'(n)$ 是由 $x(n)$ 及其镜像 $x(2N-1-n)$ 组成的联合序列。

下面对一个具有奇数 $(2N-1)$ 个分支的对称空间滤波器推导其 DFT 系数 $H'(k)$, 该滤波器的对称性表现为 $h(n) = h(2N-2-n)$, 或者等价地, $h'(n) = h'(2N-n)$ 和 $h'(N) = 0$ 。按等式 (8) 定义 $H'(k)$:

$$H'(k) = \sum_{n=0}^{2N-1} h'(n) \cdot W_{2N}^{kn} = h'(0) + 2 \sum_{n=1}^{N-1} h'(n) \cdot \cos \frac{\pi kn}{N} \quad (8)$$

其中 $W_{2N}^{kn} = \exp\{-2\pi kn/(2N)\}$; $H'(k) = H'(2N-k)$ 。

本发明人已确定, $x'(n)$ 的 $2N$ 点 DFT 可以由等式 (9) 所示的 $x'(n)$ 的 DCT 系数表示:

$$X'(k) = \sum_{n=0}^{2N-1} x'(n) \cdot W_{2N}^{kn} = W_{2N}^{-k/2} \cdot \sum_{n=1}^{N-1} 2x(n) \cdot \cos \frac{\pi k(2n+1)}{2N} \quad (9)$$

而 $x(n)$ 的 DCT 系数 $C(k)$ 则由等式 (10) 给出:

$$C(k) = \sum_{n=1}^{N-1} 2x(n) \cdot \cos \frac{\pi k(2n+1)}{2N} = W_{2N}^{k/2} \cdot X'(k) \quad \text{for } 0 \leq k \leq N-1 \quad (10)$$

以及: $C(k) = 0$ 其余 k

$x'(n)$ 的 DFT 系数 $X'(k)$ 的值可以用 $x'(n)$ 的 DCT 系数 $C(k)$ 表示, 如阵列等式 (11) 所示:

(11)

(逆离散余弦变换) 得到:

(12)

其中当 $k=0$ 时 $\alpha(k)=1/2$, 当 k 为其他值时 $\alpha(k)=1$ 。

(逆傅里叶变换) 得到, 如等式 (13) 所示:

(13)

空间域中的滤波像素值。

2) 通过充填零值使滤波系数的数目增加为 $2N$; 3) 重新排列各滤波

系数,通过向左的循环移位使原来的中央系数移到第 0 号位置上;4) 确定经重新排列的滤波系数的 DFT 系数;5) 给 DCT 系数乘上滤波器的实数 DFT 系数;以及 6) 对经滤波的 DCT 系数进行逆离散余弦变换 (IDCT) 以提供用于选留的低通滤波像素块。

低通滤波器的截止频率取决于选留比率。在一个示范性实施例中,对于 3:1 选留,截止频率为 $\pi/3$,对于 2:1 选留,截止频率为 $\pi/2$,其中 π 对应于采样频率的一半。

因为在以往技术的解码器中已经有了逆量化器和对图像块的 IDCT 处理器,DCT 域滤波器额外需要的仅仅是对 DCT 系数进行标量相乘,所以 MPEG 和 JPEG 解码器中的 DCT 域滤波器可以减少对存储量的要求。因此,在一个具体的实现中在物理上并不需要一个独立的 DCT 域滤波块乘法器;本发明的另一个实施例中只是简单地把 DCT 域滤波系数与 IDCT 处理系数结合起来,再用结合后的系数进行 IDCT 操作。

在本发明的示范性下转换系统中,考虑到了 DCT 系数的水平滤波和选留;下面是用于下述两种转换情况的两个示范性实现:

- 1、从 1920H×1080V 隔行扫描到 640×1080 隔行扫描的转换(水平 3:1 选留),
- 2、从 1280H×720V 逐行扫描到 640×720 逐行扫描的转换(水平 2:1 选留),。

表 8 示出了 DCT 块镜像滤波(加权)系数;表 8 中括号内的数字是 10 比特的 2 进制补数表示。表 8 中的“*”指明一个大于 1 的值,因而是一个超出了 10 比特 2 进制补数表示的界限的值;不过,如熟悉本技术领域的人们所知,可以容易地实现块的列系数与标有“*”的数值的相乘,其方法是把系数值加到乘以滤波值的分数值(剩余数)的系数值上。

表 8

	3: 1 选留	2: 1 选留
H[0]	1.0000000000000000(511)	1.0000000000000000(511)
H[1]	0.986934590759779(505)	1.0169628157945179(*)
H[2]	0.790833583171840(405)	1.0000000000000000(511)
H[3]	0.334720213357461(171)	0.82247656390475166(421)
H[4]	-0.0323463361027473(-17)	0.46728234862006007(239)
H[5]	-0.0377450036954524(-19)	0.10634261847436199(54)
H[6]	-0.0726889747390758(37)	-0.052131780559049545(-27)
H[7]	0.00954287167337307(5)	-0.003489737967467715(-2)

这些水平 DCT 滤波系数对编码视频图像的 8×8 DCT 系数块中的每个列进行加权。例如，第 0 列的 DCT 系数以 H[0] 加权，第一列的 DCT 系数以 H[1] 加权，如此等等。

上面说明了用一维 DCT 实现水平滤波器的情况。在数字信号处理技术领域，人们知道这种处理可以推广到二维系统。等式 (12) 示出了一维情况的 IDCT，而等式 (12') 则给出了更一般的二维 IDCT:

$$f(x, y) = \frac{2}{N} \sum_{u=0}^{N-1} \sum_{v=0}^{N-1} C(u)C(v)F(u, v) \cos \frac{(2x+1)u\pi}{2N} \cos \frac{(2y+1)v\pi}{2N} \quad (12')$$

$$\text{其中 } C(u), C(v) \text{ 是 } \begin{cases} \frac{1}{\sqrt{2}} & u, v = 0 \\ 1 & \end{cases}$$

式中 $f(x, y)$ 是空间域表示， x 和 y 是采样域中的空间坐标， u

和 v 是变换域中的坐标。由于系数 $C(u)$, $C(v)$ 是已知的, 余弦项的值也是已知的, 所以对该处理算法只需要提供变换域中的系数。

对于二维系统, 输入系列将表示成一个阵列, 每个阵列值代表变换域中各自的坐标, 可以证明该阵列在系列的列方向上有一个周期为 M 的系列周期性, 在系列的行方向上有一个周期为 N 的周期性, 其中 N 和 M 都是整数。二维 DCT 可以这样来实现: 对输入系列的各个列进行一维 DCT, 然后对经该 DCT 处理后的输入系列的各个行进行第二次一维 DCT。在本技术领域人们还知道, 二维 IDCT 可以作为单个处理实现。

图 5 示出一个二维系统下转换滤波器的示范性实现, 该二维系统以两个级连的一维 IDCT 来处理水平和垂直分量。如图 5 所示, 可以用一个垂直处理器 510 和一个水平处理器 520 实现 DCT 滤波器掩模 216 和图 2 的 IDCT218, 处理器 510 含有一个垂直 DCT 滤波器 530 和一个垂直 IDCT540, 处理器 520 含有其结构与处理垂直分量的相同的一个水平 DCT 滤波器和一个水平 IDCT。由于滤波处理和 IDCT 处理都是线性的, 所以可以重新排列这两个处理的实施次序(例如, 首先进行水平和垂直 DCT 滤波, 然后进行水平和垂直 IDCT, 或者前后相反, 或者使垂直处理器 520 在前, 水平处理器 510 在后)。

在图 5 所示的特定实现中, 垂直处理器 510 后面有一个块转置操作器 550, 后者对垂直处理器所提供的经垂直处理后的阵列值块的行与列进行互换。这个操作可以用来为水平处理器 520 的处理准备好阵列块, 从而提高计算效率。

形式例如为 8×8 阵列的阵列块的编码视频块由垂直 DCT 滤波器 530 接收, 后者用对应于所希望垂直选留的 DCT 滤波值, 对阵列块的每个行进行加权。接着, 垂直 IDCT540 对阵列块的各垂直分量进行 IDCT。如前所述, 由于这两个处理都只是简单地进行矩阵相乘和相加, 所以可以使 DCT LPF 系数与垂直 DCT 系数相结合来进行

矩阵相乘和相加操作。然后垂直处理器 510 把径垂直处理后的值提供给转置操作器 550, 后者向水平处理器 520 提供经垂直处理阵列的转置阵列。除非 IDCT 操作仅仅对行进行或仅仅对列进行, 否则不需要转置操作器 550。水平处理器 520 用对应于所希望水平滤波的 DCT 滤波值对阵列块的每个列进行加权, 然后对阵列块的各水平分量进行 IDCT。

如在讨论等式 (12') 时所说明的, 该处理算法仅仅需提供变换域中的系数; 并且因操作是线性的, 所以可以仅对这些系数进行数字运算。从等式 (12') 可以容易地看出, IDCT 的操作形成了一些乘积的和值。结果, 其硬件实现要求各已知的系数存储在存储器, 例如 ROM (只读存储器, 未示出) 中, 还要求有一组乘法和加法电路 (未示出), 以从 ROM 接收这些系数并从输入变换坐标接收一些选出的系数。对于较先进的系统, 如果根据分布算法修改各数字运算的次序, 把乘积求和实现转换成比特串实现, 则可以采用 ROM—累加器方法。这种技术例如在 Stanley A. White 的论文 "Application of Distributed Arithmetic to Digital Signal Processing: A Tutorial Review (分布式算法在数字信号处理中的应用: 一个指导性综述)" (IEEE ASSP 杂志, 1989 年 7 月) 中有所说明, 其中利用了计算中的对称性来减少实现乘积和的总逻辑门数目。

在本发明的另一个实施例中, DCT 滤波操作可以与逆 DCT (IDCT) 操作相结合。在这个实施例中, 由于滤波操作和逆变换操作都是线性的, 所以可以把滤波系数与 IDCT 系数相结合, 形成修改的 IDCT。如本技术领域所知, 这种修改的 IDCT, 也即 IDCT 与 DCT 相结合的下转换滤波, 可以用类似于简单 IDCT 操作的硬件来实现。

c) 存储器子系统

1) 比特流和图形数据的存储器访问和存储

如图 1B 所示, 本发明的示范性实施例使用了一个带有用来控制向/从存储器 130 存储/读出信息的存储器子系统 174 的 ATV 视频解码器 121。存储器子系统 174 向存储器 130 提供图形数据和比特流数据以进行视频解码操作, 在该优选实施例中, 为了正确地解码 MPEG-2 编码视频数据, 至少要用到 2 个图形或 2 个帧。为了能支持屏幕显示 (OSD), 存储器 130 中可以任选地含有一个 OSD 部分。存储器子系统 174 与存储器 130 之间的接口可以是一个能提供一个 500Mbps (每秒兆比特) 频道的并行 RDRAM 接口, 可以用 3 个 RAMBUS (RAM 总线) 通道来支持必要的带宽。本发明的一个实施例含有: 图形处理器 171、宏块解码器 172 和一个与外部存储器 130 相耦合的存储器子系统 174, 该实施例可以采用授于 Philips 等人的标题为 “MPEG VIDEO DECODER HAVING A HIGH BANDWIDTH MEMORY (含有高带宽存储器的 MPEG 视频解码器)” 的美国专利 No.5, 623, 311 中所说明的系统, 该专利在此引用作为参考。图 2 是这种视频解码器系统的高层次方框图, 该解码器含有本发明一个示范性实施例在解码 MP@ML MPEG-2 图形时所使用的的高带宽存储器。

总之, 如在讨论图 1A 和 1B 时所说明的, 美国专利 No.5, 623, 311 说明了一种含有单个存储器端口的单个高带宽存储器。存储器 130 中保持有输入比特流, 用于运动补偿处理的第一和第二参考帧, 以及代表当前被解码的场的图像数据。该解码器包含: 1) 存储和提取比特流数据的电路 (图形处理器 171), 2) 为具有数据块格式的当前解码场提取参考帧数据和存储图像数据的电路 (宏块解码器 172), 以及 3) 为转换成光栅扫描格式而提取图像数据的电路 (显

示部分.173)。存储器操作是根据用来控制操作的称之为“宏块时间 (MblkT) 的确定存储器访问时间周期, 利用单个共同的存储器端口进行时分复用的, 一个数字锁相环 (DPLL) 122 对按 MPEG-2 标准定义的一个 27MHz 系统时钟信号进行计数, 以产生一个计数值。该计数值被与一组外部提供的系统时钟参考 (SCR) 值进行比较, 以产生用来调整 DPLL 所产生信号的频率的相位差信号。

表 9 概括了为使 DC 构形能支持多种格式所要求的图形存储容量。

表 9

格式	像素数 (H)	宏块数 (H)	像素数 (V)	宏块数 (V)	每图形比 特数	存储量(3 个图形)
1920 × 1088DC	640	40	1088	68	8355840	25067520
1280 × 720DC	640	40	720	45	5529600	16588800
704×480	704	44	480	30	4055040	12165120
640×480	640	40	480	30	3686400	12165120

*H: 水平, V: 垂直

对于 DC 模式, 1920×1080 图形在水平方向上被减小为 1/3, 得到 640×1080 图形; 1280×720 图形在水平方向上被减小为 1/2, 得到 640×720 图形。在 DC 模式中 704×480 和 640×480 图形不需要减小。

要能在存储器 130 中存储多种 DC 图形还要求能根据相应的图形显示时标来支持各个解码操作。例如, 逐行扫描图形的显示速率为隔行扫描图形的两倍 (60Hz 或 59.94Hz 的逐行扫描帧对 30Hz 或 29.97Hz 的隔行扫描帧), 结果逐行扫描图形的解码要快于隔行扫描

图形的解码（逐行情况的每秒 60 或 59.94 帧对隔行情况的每秒 30 或 29.97 帧）。所以，解码速率受到格式的显示速率的限制，如果采用较慢的每秒 59.97 或 29.97 帧的解码速率而不是每秒 60 或 30 帧的速率，则在转换时每 1001 帧可能要丢失 1 帧。为了方便，对某一格式的解码操作作用“宏块时间（MblkT）”为单位来度量，其定义是完成对一个宏块的全部解码操作所需的时间长度（每宏块解码的时钟周期数）。用这个时间长度为单位时，控制信号和存储器访问操作可以在有规则在出现的 MblkT 时期内确定，如等式（14）所示。

$$\text{MblkT (时钟周期/宏块)} = \text{系统时钟频率 (时钟周期/秒)} / \text{帧率 (帧/秒)} / \text{图形大小 (宏块/帧)} \quad (14)$$

此外，对于隔行扫描图形，图形解码时可以不用消隐间隔，但要给时间长度加上一个 8 行的边界区，以供隔行扫描时的 8 行同时解码和逐行扫描时的 16 行同时解码使用。因此，可以给 MblkT 加上一个调整因子（Adj Fact），如等式（15）和（16）所示：

$$\text{AdjFact (隔行)} = (\text{总行数} - \text{垂直消隐行数} - 8) / \text{总行数} \quad (15)$$

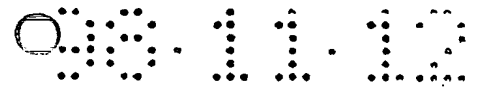
$$\text{AdjFact (逐行)} = (\text{总行数} - 16) / \text{总行数} \quad (16)$$

表 10 列出了各种可支持格式的 MblkT：

表 10

格式	每帧 Mblk 数	帧 时 间 (ms)	MblkT(时钟数)	调 整 因 子	有效解码 MblkT
1920×1080	8160	33.33	255.3	0.9729	248.4
1280×720	3600	16.67	289.4	0.9787	283.2
704×480P	1320	16.67	789.1	0.9695	765.1
704×480I	1320	33.33	1578	0.9419	1486.6
640×480P	1200	16.67	868	0.9695	841.6
640×480I	1200	33.33	1736	0.9419	1635.3

*Mblk: 宏块



在本发明的一个示范性实施例中，对所有的格式都采用了含 241 个时钟的 MblkT 来满足包含一个小边界区的最快解码时间要求。对于这样选取的 MblkT 时间，较慢格式的解码将含有一些不发生解码活动的周期；因此可以使用一个计数器来反映带有间隔的行解码率，产生该间隔的目的是在一些选定的 MblkT 时段内停止解码。

参见图 1B，存储器子系统 174 可以含有与宏块解码器 172 和显示部分 173 之间的内部图形数据接口，一个解码宏块接口接受已解码宏块数据并根据为给定格式定义的存储器地图把该数据存储于存储器 130 的正确存储器地址位置处。存储器地址可以从宏块号和图形号导出。各个宏块可以作为三个通道上的一个宏块行接收，每个通道对应一个系统时钟频率下的 16Mb 存储器装置（图 1A 中的 131—136）。每个存储器装置都可以对每个图形有两个分区，每个分区分别使用一个高位地址和一个低位地址。对于隔行扫描图形，一个分区存储场 0 的数据，另一分区存储场 1 的数据，对于逐行扫描图形，高、低分区被当作一个分区，存储整个帧的数据。除了 3:2 向下模式之外，对每个图形的每个宏块都进行解码和存储，在 3:2 向下模式中解码要暂停整个一场的长度。在 3:2 向下模式中，通过把一个帧显示 2 次而把下一帧显示 3 次来使一个帧率为每秒 24 帧的信号以每秒 60 帧（或场）的帧率显示。

一个参考宏块接口把存储的、前面解码的图形数据提供给宏块解码器 172 以供运动补偿使用。对应于双向预测（B）编码、单向预测（P）编码、或内部（I）编码，该接口可以提供 2 个、1 个或 0 个宏块。每个参考块都用 2 个通道提供，每一通道含半个宏块。对于采用选留比率 2 的 DC 模式，每个提取到的半宏块大小为 14×9 （Y）、 10×5 （ C_R ）和 10×5 （ C_B ），供上采样和半像素分辨率使用。

一个显示接口把 Y、 C_R 和 C_B 像素数据多重复用在单个通道上，为显示部分 173 提取像素数据。可以提供 2 个显示通道来支持隔行

扫描和逐行扫描之间的互相格式转换。在 DC 模式中，第一通道可同时提供多达 4 行的隔行或逐行数据，第二通道可提供多达 4 行的隔行数据。

在下转换中，多于一个的下采样宏块被融合成单个宏块以供存储。下面将参考图 6A 和 6B 说明 DC 模式的下采样处理。图 6C 示出在比率为 2 的水平方向下转换中把两个宏块融合成一个宏块以存储到存储器 130 中的处理。图 6D 示出在比率为 3 的水平下转换中把 3 个宏块融合成一个宏块以存储到存储器 130 中的处理。

d) 下采样和显示部分的显示转换

1) 低分辨率格式的下采样

下采样由图 2B 的下采样处理器 232 完成，以减小被下转换图像中的像素数。图 6A 示出对于 3:1 选留的 4:2:0 信号格式的输入像素和选留后的输出像素。图 6B 示出对于 2:1 选留的 4:2:0 色度信号的输入像素和选留后的输出像素。表 11 给出图 6A 和 6B 中的亮度和色度信号的符号含义。图 6A 和 6B 的下转换之前和之后的像素位置分别对应于隔行扫描（3:1 选留）和逐行扫描（2:1 选留）情况。

表 11

符号	像素
+	选留前的亮度
×	选留前的色度
•	选留后的亮度
△	选留后的色度

对于隔行扫描图像的下采样，例如把 1920×1080 像素的图像转

换成 640×1080 像素的水平压缩图像，在水平轴上每 3 个像素要除去 2 个像素。对于示范性的 3:1 选留，存在有 3 种不同的下转换处理后的宏块类型。在图 6A 中，原始宏块用 MB0、MB1、MB2 表示。MB0 中的下采样亮度像素从原始宏块的第一个像素开始，但 MB1 和 MB2 中的下采样像素分别从第三个和第二个像素开始。每个宏块中的下采样像素数目也是不同的。在 MB0 中，水平方向上有 6 个下采样像素，但在 MB1 和 MB2 中只有 5 个下采样像素。这三种宏块类型都是重复排列的，所以要应用模量为 3 的算法。表 12 分别对输入宏块 MB0、MB1、MB2 给出了下采样像素数和偏移量。

表 12

	MB0	MB1	MB2
下采样亮度像素数	6	5	5
下采样色度像素数	3	3	2
第一个下采样亮度像素的偏移量	0	2	1
第一个下采样色度像素的偏移量	0	1	2

对于逐行扫描格式图像的下采样，亮度信号在水平方向上每隔一个采样点进行一次亚采样。对于色度信号，被下采样像素的空间位置是在原始图像中的像素位置下面的半个像素处。

2) 显示转换

图 1B 的 ATV 解码器 121 的显示部分 173 用来把存储的图形信息（解码图形信息）格式化某种特定的显示格式。图 11A 是说明本发明一个示范性实施例的 ATV 视频解码器 121 的显示部分的高层

次方框图。

参见图 11A, 该显示部分可支持两个输出视频信号: 第一输出信号 VIDout1 支持任何选定的视频格式, 第二输出信号 VIDout2 仅支持 525I (CCIR-601) 格式。两个输出信号分别被分开的显示处理单元组 1101 和 1102 处理, 后两者进行水平和垂直的上采样/下采样。当显示宽高比与输入图形的宽高比不匹配时这一构形可能是有利的。可以任选地包含一个屏幕显示 (OSD) 部分 1104, 以给被支持的输出信号 VIDout1 和 VIDout2 中的一个提供屏幕显示信息, 形成显示信号 Vout1 或 Vout2。除了在输出控制器 1126 和 1128 处对输出信号 Vout1 或 Vout2 的控制是按像素时钟频率进行的之外, 所有的处理都是按内部时钟频率进行的, 对于本优选实施例, 像素时钟频率可以等于亮度像素率或等于亮度像素率的两倍。

由于显示处理单元组 1101 和 1102 的操作相似, 所以仅说明显示处理组 1101 的操作。在显示处理组 1101 中, 以光栅扫描次序从存储器 130 (示于图 1A) 向垂直处理模块 282 (示于图 2B) 提供 4 行像素数据。各行每次 32 比特地提供 C_R 、Y、 C_B 、Y 数据。然后垂直处理模块 282 把 4 行滤波成一行, 并把滤波后的 32 比特 $C_R Y C_B Y$ 格式数据提供给水平处理模块 284 (也示于图 2B)。水平处理模块 284 把对应于所选光栅格式的像素数目作为格式化像素数据提供。所以, 进入水平处理模块 284 的滤波数据率不一定等于输出数据率。在上采样情况中, 输入数据率将低于输出数据率。在下采样情况中, 输入数据率将高于输出数据率。格式化像素数据可以带有由任选的背景处理模块 1110 所插入的背景信息。

正如熟悉本技术领域的人们所知, 显示部分 173 的部件由一个控制器 1150 控制, 该控制器是由从/向一个微处理器接口读出/写入的参数设定的。该控制器产生信号 CNTRL, 为了协调和实现正确的电路操作、安装和传送像素、以及信号处理, 这种控制是必要的。

来自水平处理模块 284 的数据、来自第二水平处理模块 284a 的数据，以及位于 HD（高分辨率）旁路线 1122 上的未经处理的 HD 视频数据都被提供给转接器 1118，后者在处理器的控制（未示出）之下，选出一个视频数据流提供给混合器 1116，以把该视频数据流和来自 OSD 处理器 1104 的任选的 OSD 数据结合成混合输出视频数据。然后该混合视频输出数据被提供给转接器 MUX1120 和 1124。

对于第一组处理单元 1101，MUX1120 可以从混合输出视频数据、HD 旁路线 1122 上的 HD 数据，和来自背景插入模块 1110 的数据中选择一种数据。选出的数据被提供给输出控制处理器 1126，后者还接收像素时钟。然后输出控制处理器 1126 根据所希望的模式把数据的时钟频率从内部处理时的频率改变为像素时钟频率。

对于第二组处理单元 1102，MUX1124 可以选择混合输出视频数据或来自背景插入模块 1110a 的数据。选出的数据被提供给输出控制处理器 1128，后者还接收像素时钟。然后输出控制处理器 1128 根据所希望的输出模式把数据的时钟频率从内部处理时的频率改变为像素时钟频率。转接器 MUX1132 或者提供接收到的由 MUX1124 选出的数据（601 数据输出（符合 601 规定的输出）），或者提供来自 OSD 处理器 1104 的任选的 OSD 数据。

光栅发生和控制处理器 1130 也接收像素时钟，并含有一些产生扫描光栅空间的计数器（未示出），以使得能向显示控制处理器 1140 逐行地发送控制命令。显示控制处理器 1140 协调与外部存储器 130 的时标关系，并起动两个处理链 1101 和 1102 的与光栅线同步的逐行处理。处理器 1130 还产生水平、垂直和场同步信号 H、V 和 F。

图 11B 至 11D 把由视频解码器 121 的图 11A 所示的显示部分 173 所提供的输出模式与图 1A 的工作模块联系起来。图 11B 示出一种 27MHz 的双输出模式，其中的视频数据是 525P 或 525I，第一处理器 1101（示于图 11A）向 27MHz 的 DAC143 提供 525P 视频数据，

向 NTSC 编码器 152 提供 525I 数据 (601 数据输出)。图 11C 说明在 27MHz 的单输出模式中, 只是向 NTSC 编码器 152 提供 525I 数据 (601 数据输出)。图 11D 示出一种 74MHz/27MHz 模式, 其中输出模式匹配于输入格式, 并且根据输出格式向 27MHz 的 DAC (数模转换器) 143 或 74MHz 的 DAC141 提供视频数据。74MHz DAC 用于 1920×1088 和 1280×720 图形; 27MHz DAC 用于所有其他的输出格式。

下采样图像帧的显示转换用来以特定的格式显示图像。如前面所指出的, 图 2B 中的显示转换模块 280 含有用来把下转换和下采样的图像显示在较低分辨率屏幕上的垂直处理模块 (VPF) 282 和水平处理模块 (HZPF) 284。

对于本示范性实施例, VPF282 是一个以可编程多阶段垂直滤波器形式实现的垂直行插值处理器; HZPF284 是一个以可编程多阶段水平滤波器形式实现的水平行插值处理器。这两个滤波器都是可编程的, 这是为了要适应许多显示格式的显示转换而作出的设计选择。

如图 2B 所示, 有 4 行下采样像素数据按扫描栅线次序进入 VPF282。在本示范性实施例中, 这些数据包括以每次 32 比特地进入 VPF282 的亮度 (Y) 像素和色度 (C_R 和 C_B) 像素对。VPF282 把这 4 行数据滤波成为一行, 并把该行数据以 32 比特值的形式传送给 HZPF284, 其中每个 32 比特值都含有 $YC_R YC_B$ 格式的亮度和色度数据, 然后 HZPF284 产生匹配于所希望光栅格式的像素数。

图 7A 是说明一个适合用作本发明一个实施例的 VPF282 的示范性滤波器的高层次方框图。下面将说明该 VPF282 如何处理输入像素对 (每一像素对含有 2 个亮度像素 Y 和一个色度像素 C_R 或 C_B) 来产生一对输出像素。由于颜色像素可以容易地与它们相应的亮度像素联系起来, 所以这能够实现 4: 2: 0 格式的处理。不过熟悉本技术领域的人们会理解到, 只有亮度像素或色度像素可以这样处理。

此外，所说明的 VPF282 将产生逐行扫描格式中的行。在另一个实施例中使用了双输出并可同时支持一个主输出通道和一个辅助输出通道，在该实施例中可能要添加第二个 VPF282。

参见图 7A，VPF282 含有：一个 VPF 控制器 702；包括亮度像素转接器 (LP MUX) 706、708、710 和 712 和色度像素转接器 (CP MUX) 714、716、718 和 720 的第一转接网络；包括亮度滤波器转接器 (LF MUX) 726、728、730 和 732 和色度滤波器转接器 (CF MUX) 734、736、738 和 740 的第二转接网络；亮度系数 RAM 704；色度系数 RAM 724；亮度系数乘法器 742、744、746 和 748；亮度系数乘法器 750、752、754 和 756；亮度加法器 760、762 和 764；色度加法器 766、768 和 770；取整和分割处理器 772 和 776；解复用/寄存器 774 和 778；以及输出寄存器 780，

现在说明 VPF282 的操作。用 2 个 4 分支多阶段滤波器完成垂直重新采样，其中一个滤波器用于亮度像素，另一个用于色度像素。由于对色度像素的操作类似于对亮度像素的操作，所以下面仅详细说明亮度像素滤波器的操作，但当两者有差异时将在说明过程中随时指出。对于本示范性实施例，亮度像素的垂直滤波可能最多会用到 4 分支多阶段滤波器的 8 个阶段，色度像素的滤波可能最多会用到 16 个阶段。在一个场或帧的开始处 VPF 控制器 702 使垂直多阶段滤波器复原，给第一和第二转接网络提供控制时标，从亮度系数 RAM 704 和色度系数 RAM 724 中为多阶段滤波器的各个阶段选出系数组，并含有一个计数器用来对被处理的场或帧的每一行进行计数。

VPF 控制器 702 除了要协调转接器网络与多阶段滤波器的操作之外，还通过跟踪被解码图形中的垂直位置的整数部分和分数部分来跟踪显示行。整数部分指明应该访问哪些行，分数部分指明应该用哪个滤波器阶段。此外，在计算分数部分时采用模量 N 算法使得可以使用少于 16 个的阶段，这个阶段数对于例如为 9 到 5 的精确下

采样比率可能是足够多的。分数部分总是被截断成所使用的模量 N 个阶段中的一个。

如图 7A 所示, 来自 4 个图像行的亮度和色度像素对被分开到一个色度路径和一个亮度路径中。亮度路径中的 16 比特像素对数据可被 LP MUX 706、708、710 和 712 进一步组成一个 8 比特偶 (Y -偶) 和 8 比特奇 (Y -奇) 的格式, 而色度路径中的 16 比特像素对被 CP MUX 714、716、718 和 720 组成一个 8 比特 C_R 和 8 比特 C_B 的格式。亮度滤波器转接器 706、708、710 和 712 用来在被解码图像的边界处重复最高行和最低行的像素值, 其目的是使在多阶段滤波器操作时有滤波像素边界重叠。

然后对应于亮度像素信息和色度像素信息的 4 个行的各像素对被传送给各自的多阶段滤波器。乘法器 742、744、746 和 748 在某个滤波阶段用来对像素值加权的系数是 VPF 控制器 702 根据一个经编程的向上或向下采样比率来选定的。当加法器 760、762 和 764 把加权的亮度像素信息相结合之后, 得到的值被提供给取整和分割处理器 772, 后者给出两个 8 比特的值 (由于系数相乘有较高的精度)。DE MUX (解复用) 寄存器 774 接收对应于经插值的 8 比特偶 (Y -偶) 亮度值的第一 8 比特值和对应于经插值的 8 比特奇 (Y -奇) 值的第二 8 比特值, 并提供一个 16 比特的垂直滤波亮度像素对。寄存器 780 接收和结合亮度和色度路径上的垂直滤波像素, 并把它们作为经垂直滤波的代表一个亮度、色度像素对的 32 比特值输出。

图 7B 示出各系数与各行的像素采样空间之间的空间关系。亮度和色度多阶段滤波器路径上的系数各有分配给每个系数组的 40 个比特, 而且对每个阶段都有一个系数组。这些系数是分母为 512 的分数。每个系数被从左至右地放置在一个 40 比特的字中 (C_0 至 C_3)。 C_0 和 C_3 是带正负号的 10 比特的 2 进制补数值, C_1 和 C_2 是例如从 -256 至 767 的给定范围内的 10 比特值, 随后它们都被转换成 11

比特的 2 进制补数值。

图 7A 含有一个任选的亮度系数调整器 782 和一个色度系数调整器 784。系数调整器 782 和 784 用来为 C1 和 C2 导出 11 比特的 2 进制补数值。如果第 8 和第 9 比特（最高位比特）都为 1，则该 11 比特的数的正负号为 1（负），否则该数值是正的。

图 8A 是适合于本发明一个实施例作为 HZPF284 使用的一个示范性滤波器的高层次方框图。HZPR284 从 VPD282 接收亮度和色度像素信息对，这可以是一个 32 比特的数据。HZPF284 含有：一个 HZPF 控制器 802； C_R 锁存器 804； C_B 锁存器 806；Y 锁存器 808；一些选择转接器 810；水平滤波系数 RAM812；乘法网络 814；加法网络 816；取整和分割处理器 818；解复用寄存器 820；和输出寄存器 822。

水平重新采样用一个 8 分支、8 阶段的多阶段滤波器完成。显示像素的产生由 HZPF 控制器 802 通过跟踪被解码图形和下采样图形中水平位置的整数部分和分数部分进行协调。整数部分指明应访问哪些像素，分数部分指明应采用哪个滤波器阶段。计算分数部分时利用模量 N 算法可以使用少于 8 个的滤波器阶段。例如，如果使用精确的 9 至 5 下采样比率则这将是有益的。如果下采样比率不能表示成一个简单的分数，则分数部分要被截断成 N 个阶段中的一个。本发明示范性实施例的 HZPF284 对各像素对进行滤波，并通过对齐于偶像素边界来实现对 4:2:0 格式图形的处理和把 C_R 和 C_B 像素（颜色像素）与相应的 Y 像素保持在一起。

现在参考图 8A 来说明 HZPF284 的操作。在一个水平行开始处 HZPF 控制器 802 使水平多阶段滤波器复原，给第一和第二转接网络提供控制时标，对多阶段滤波器的各个阶段为 C_R 、 C_B 和 Y 滤波系数从水平系数 RAM812 中选取系数组，并且选择每一组 C_R 、 C_B 和 Y 值进行处理。此外，当水平位置接近一个行的左端或右端时，

HZPF 控制器 802 将强迫边缘像素值重复或置零, 以供 8 分支多阶段滤波器使用。由这种简化处理所造成的任何图像失真通常会被隐藏在显示图像的过扫描部分中。

从 VPF282 接收到的像素数据被分离成 Y 、 C_R 、 C_B 值, 分别锁存到各 C_R 锁存器 804、 C_B 锁存器 806 和 Y 锁存器 808 中以进行滤波。然后 HZPF 控制器 802 把一个适当的信号发送给各个选择 MUX810 选出 Y 、 C_R 和 C_B 值。在本示范性实施例中, Y 值的数目多于 C_R 或 C_B 值的数目, 所以滤波器要使用较多的 Y 亮度锁存器 808。同时, HZPF 控制器 802 通过根据编程的上采样或下采样值给滤波系数 RAM812 发送一个控制信号, 为滤波器某一阶段的 C_R 或 C_B 或 Y 值选择适当的滤波系数。

然后水平滤波系 RAM812 向乘法网络 814 的各个单元输出系数以与输入像素值相乘, 产生加权像素值, 接着, 各加权像素值在加法网络 816 中结合, 产生经水平滤波的 C_R 、 C_B 或 Y 值。

在加法网络 816 中结合了各加权像素值之后, 水平滤波像素值被提供给取整和分割处理器, 后者给出几个 8 比特的值 (由于系数乘法以较高的精度进行)。解复用寄存器 820 接收一系列的值: 一个对应于 C_R 值的 8 比特值、一个 8 比特的偶 Y (Y -偶) 值、一个 8 比特的 C_B 值, 以及一个对应于 8 比特奇 Y (Y -奇) 值的 8 比特值; 然后解复用寄存器 820 把这些值结合成一个具有 32 比特的水平滤波亮度、色度像素对值 (Y 偶、 C_R 、 Y 奇、 C_B), 寄存器存储该像素对并把它作为垂直和水平滤波的 32 比特亮度、色度像素对输出。

图 8B 示出存储于水平滤波系数 RAM812 中并使用于多阶段滤波器的系数与下采样图像一个水平行的像素采样值之间的空间关系。本示范性实施例的系数被自左至右地放置在一个 64 比特的字中, C_0 至 C_7 。系数 C_0 、 C_1 、 C_6 和 C_7 是带正负号的 7 比特的 2 进制补数值, C_2 和 C_5 是带正负号的 8 比特的 2 进制补数值, C_3 和 C_4

是代表-256至767范围的带正负号的10比特的2进制补数值。C3和C4被调整后得到11比特的2进制补数值。如果第8比特和第9比特（最高比特位）都为1，则该11比特值的符号位为1（负），否则符号值为0（正）。所有的系数都可表示成分母为512的分数。

表13列出了本发明示范性实施例用来执行指定格式转换的VPF282和HZPF284的系数。

表 13

进行750P至525AK这750P至525I转换的
4分支2阶段亮度垂直滤波器的系数

	分支 0	分支 1	分支 2	分支 3
阶段 0	103	306	103	0
阶段 1	10	246	246	10

进行750P至525P或750P至525I转换的
4分支4阶段色度垂直滤波器的系数

	分支 0	分支 1	分支 2	分支 3
阶段 0	25	462	25	0
阶段 1	-33	424	145	-24
阶段 2	-40	296	296	-40
阶段 3	-24	145	424	-33

进行750P至525I转换的4分支
2阶段亮度垂直滤波器的系数

	分支 0	分支 1	分支 2	分支 3
阶段 0	145	222	145	0
阶段 1	84	172	172	84

进行 750P 至 525I 转换的 4 分支

4 阶段色度垂直滤波器的系数

	分支 0	分支 1	分支 2	分支 3
阶段 0	57	398	57	0
阶段 1	-6	382	166	-30
阶段 2	-29	285	285	-29
阶段 3	-30	166	382	-6

进行 1125I 至 525P 转换的 4 分支

8 阶段亮度垂直滤波器的系数

	分支 0	分支 1	分支 2	分支 3
阶段 0	20	472	20	0
阶段 1	-20	425	70	37
阶段 2	-52	472	161	-69
阶段 3	-62	397	238	-61
阶段 4	-63	319	319	-63
阶段 5	-61	238	397	-62
阶段 6	-69	161	472	-52
阶段 7	37	70	425	-20

进行 1125I 至 525P 转换的 4 分支

16 阶段色度垂直滤波器的系数

	分支 0	分支 1	分支 2	分支 3
阶段 0	29	454	29	0
阶段 1	13	455	49	-5
阶段 2	0	445	73	-6
阶段 3	-9	428	101	-8
阶段 4	-15	404	132	-9
阶段 5	-18	376	165	-11
阶段 6	-20	345	201	-14
阶段 7	-19	310	237	-16
阶段 8	-18	274	274	-18
阶段 9	-16	237	310	-19
阶段 10	-14	201	345	-20
阶段 11	-11	165	376	-18
阶段 12	-9	132	404	-15
阶段 13	-8	101	428	-9
阶段 14	-6	73	445	0
阶段 15	-5	49	455	13

在显示转换系统的示范性实施例中，水平转换部分地由图 2B 所示的 DCT 域滤波器 216 和下采样处理器 232 执行。不论转换是从 1125I 还是从 750P 出发，它们给出的水平像素数是相同的（640 个）。于是，HZPF284 对这些信号进行上采样以提供每行 720 个有效像素，而让 525P 或 525I 信号无变化地通过，与前面在表 1 和 2 中给出的每行有 720 个有效像素的信号一样，水平滤波器的系数值对于转换

到 480P/480I/525P/525I 的情况并无改变。这些水平滤波系数在表 14 中给出。

表 14
水平滤波器的系数

	分支 0	分支 1	分支 2	分支 3	分支 4	分支 5	分支 6	分支 7
阶段 0	-8	13	-17	536	-17	13	-8	0
阶段 1	-13	28	-62	503	48	-9	0	17
阶段 2	-14	37	-90	477	134	-37	10	-5
阶段 3	-13	38	-96	406	226	-64	22	-7
阶段 4	-10	31	-85	320	320	-85	31	-10
阶段 5	-7	22	-64	226	406	-96	38	-13
阶段 6	-5	10	-37	134	-477	-90	37	-14
阶段 7	17	0	-9	48	503	-62	28	-13

此外, HZPF284 的可编程性能使得可适应非线性水平扫描。图 9A, 示出一种可被本发明采用的重新采样比率变化形状。如图所示, HZPF284 的重新采样比率可以在一个水平扫描行上变化, 并可以分段线性的方式变化。在图 9 的示范性构形中, 在扫描行开始处重新采样比率线性地增大(或减小), 直到扫描行上的某个第一点后重新采样比率保持不变, 再到某个第二点后重新采样比率又线性地减小(或增大)。参见图 9A, “水平始端重新采样比率”是一个图形的初始重新采样比率, “水平重新采样比率变化”是重新采样比率的第一个每像素改变量, “一水平重新采样比率变化”是重新采样比率的第二个每像素改变量, “水平重新采样比率保持列”和“水平重新采样反转列”是两个显示列上的像素点, 在这两列像素点之间重新采样比率保持不变。“显示宽度”值是一个图形行的最后像素(最后列)

的像素号。

图 9B 和 9C 示出用来把 4:3 图形映射成 16:9 显示的重新采样比率变化形状。该比率是用输入值数对输出值数确定的, 因此 4/3 是按 4 比 3 下采样, 1/3 是按 1 比 3 上采样。图 9B 和 9C 所示的比率变化将把一个含 720 个有效像素的输入图形图像映射成一个含 720 个有效像素的显示。例如在图 9B 中, 把一个 4:3 宽高比的显示映射成一个 16×9 宽高比的显示, 它使用了 4/3 的下采样, 但为了充填所有的显示采样点, 又需要在整个水平行上有 1/1 的平均比率。所以, 图 9B 的曲线在显示像素号为 240 至 480 的中央部分有正确的宽高比, 但在两侧的值要经过上采样以充填显示图像。图 9D 和 9E 示出用来把 16×9 的显示图像重构成 4:3 的显示的比率变化形状, 它们与图 9B 和 9C 所示的形状相反。

利用根据本发明一个示范性实施例的重新采样比率变化的效果可以在图 10 中形象地看出。一个具有 16×9 或 4×3 宽高比的视频发射格式可以显示成为 16×9 或 4×3 图形, 但原始的视频图形可以被调整得适配在显示区域内。所以原始的视频图形可以以完整的, 变焦的, 压缩的, 或可变放大/缩小的形式显示。

该系统使得在接收视频信号与显示装置的宽高比不兼容时用户可以在这两个宽高比之间选择一种所喜爱的转换关系。如前所述, 控制处理器 207 (示于图 2A) 从分析器 209 接收所接收图像的宽高比。控制处理器 207 还判断连接在该系统上以接收其输出信号的显示装置 (未示出) 的宽高比。例如, 如果显示装置连接在 S 视频输出 153 或组合视频输出 154 (均示于图 1A) 上, 则该显示装置的宽高比必需是 4×3。然而, 如果显示装置连接在主视频输出端口 146 上, 则其宽高比可以是 4×3, 也可以是 16×9。

在本发明的示范性实施例中, 作为起动处理的一部分是由用户指定显示装置的宽高比, 这可以通过激励遥控红外接收器 208 (示

于图 2A) 来实现。这个起动处理可以仅当该视频解码器系统含有一个主输出端口并且它探测到有一个显示装置已被连接到该主输出端口上时才进行。起动处理可以用几种方法来判断显示装置的格式(即宽高比和最大视频分辨率)。首先, 该处理可以向用户显示一个关于各种可能的显示装置的菜单, 这些显示装置例如由制造厂名称和型号为代表。然后用户可以用遥控装置来从中选出一种显示装置。该解码器系统可以设计成含有一个调制解调器, 用来周期性地与一个中央位置联系以接收更新的显示器类型清单和其他关于控制器 207 编程的更新信息。或者, 这类信息可以被编码在接收到的 ATSC 视频信号的用户数据中, 并且解码器可被编程得能够访问该信息以更新其内部编程。

或者, 为了判断显示装置的宽高比, 可以向用户显示一个菜单, 其上示出一个 4×3 的长方形和一个 16×9 的长方形, 并请求用户指出其中哪一个长方形更像他们的显示装置。还有一种可选的方案是, 要求用户对两份选择菜单进行选择, 其中一份菜单列出了各种可能的视频显示分辨率, 另一份则列出了各种可能的宽高比。

再一种可选方案是, 使控制处理器 207 对屏幕显示发生器进行编程, 令其相继地以几种不同的信号分辨率(例如 525I、525P、750P、1180I 和 1180P) 和几种不同的宽高比(例如 4×3 和 16×9) 显示一个例如为圆形的图形, 并附上文字说明, 要求用户在看到最佳圆形时按下遥控装置(未示出)上的某个按键。该系统可以在其主输出端口上相继地逐一提供这些图形几秒钟, 以使对遥控装置的按键动作和特定图形的显示有正确的关连。这将给该系统提供关于显示装置的图像分辨率和宽高比的信息。

具有关于显示装置的显示格式信息之后, 该系统就可以自动地把接收到的视频信号转换成显示装置上的最佳可能的显示形式。例如, 当接收视频信号与显示装置的宽高比不匹配时, 这一不匹配情

况可以告知给用户，还可以允许用户通过遥控装置（未示出）发出一个命令以逐个地看到如图 9A 至 9E 和图 10 所示的两种宽高比之间所有可能的转换，并从中选出某一种转换来使用。这适用于接收视频信号的宽高比为 4×3 而显示装置的宽高比为 16×9 的情况，也适用于接收视频信号的宽高比为 16×9 而显示装置的宽高比为 4×3 的情况。

最后一种可供选择的方案是，为了判断显示格式，该系统可以设计得能够探测显示装置所提供的信息。例如，可以借助于解码器系统的三条输出信号线（Y、CR、CB）中的一条构成一个双向数据路径，利用这个路径可以读出显示装置内的一个数字寄存器中的数据。该寄存器中的数据可以指明该显示装置的制造厂和型号，或者最大分辨率和宽高比。或者，显示装置可以在一条或几条信号线上加一个直流信号，并且该直流信号可以被解码器系统作为显示装置的显示格式的指示来探测。

可以料到，有可能在视频解码器的主输出端口上连接了一个多同步（multi-sync）监视器，这种监视器能够显示几种不同显示格式的视频信号。在此情形中，控制处理器 207 所重建出的显示类型信息中的视频分辨率部分将表明连接的显示装置是一个多同步装置，于是唯一要执行的格式转换只是当接收视频信号的宽高比与显示装置不匹配时的如图 9A 至 9E 和图 10 所示的宽高比适配。

虽然这里列举和说明了本发明的一些示范性实施例，但应该理解，这些实施例只是作为举例给出的，熟悉本技术领域的人们可以在不偏离本发明精神的情况下做出许多变化、改变和替换。所以，希望所附权利要求能涵括所有这些属于本发明范畴的变化。

说明书附图

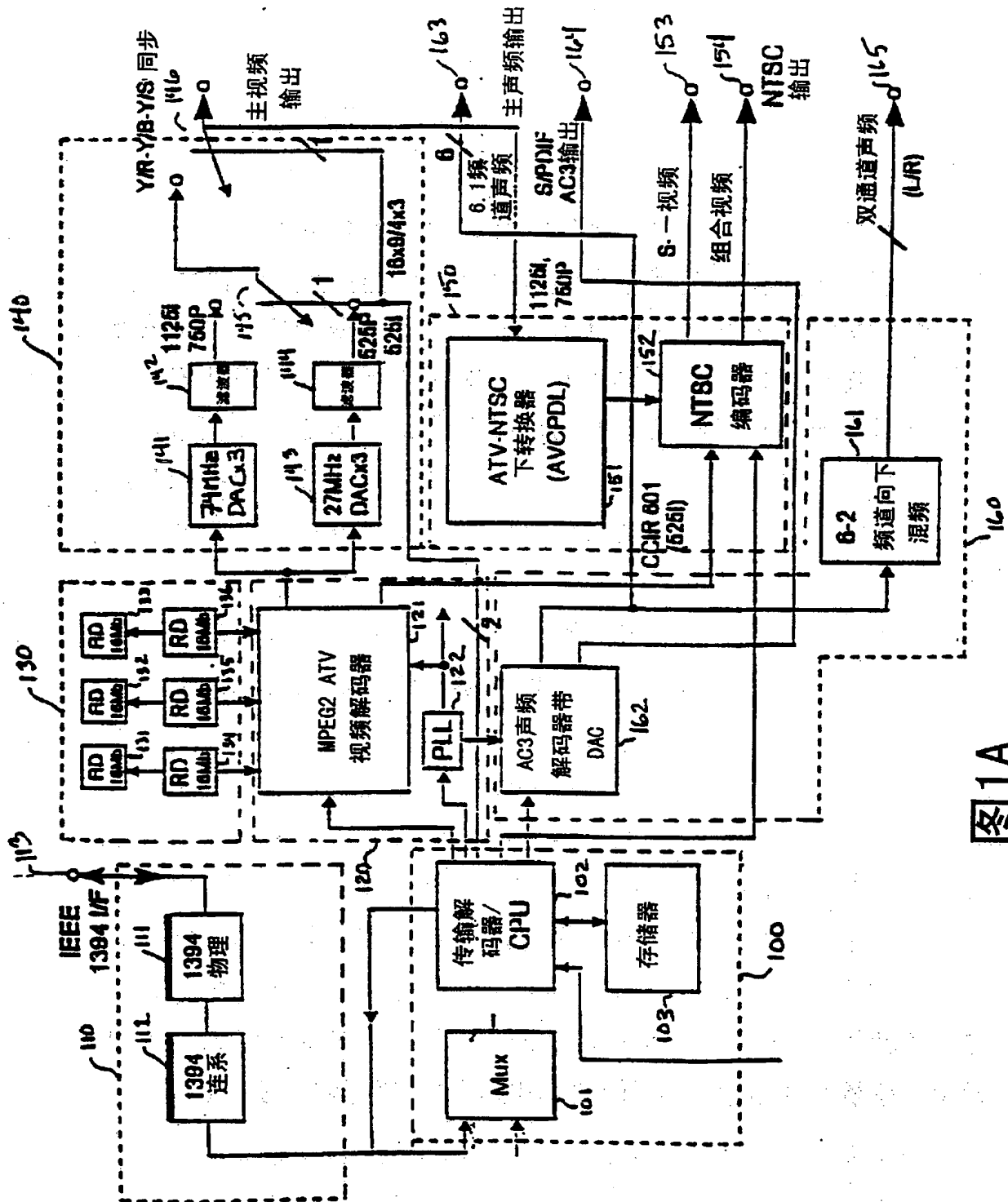


图1A

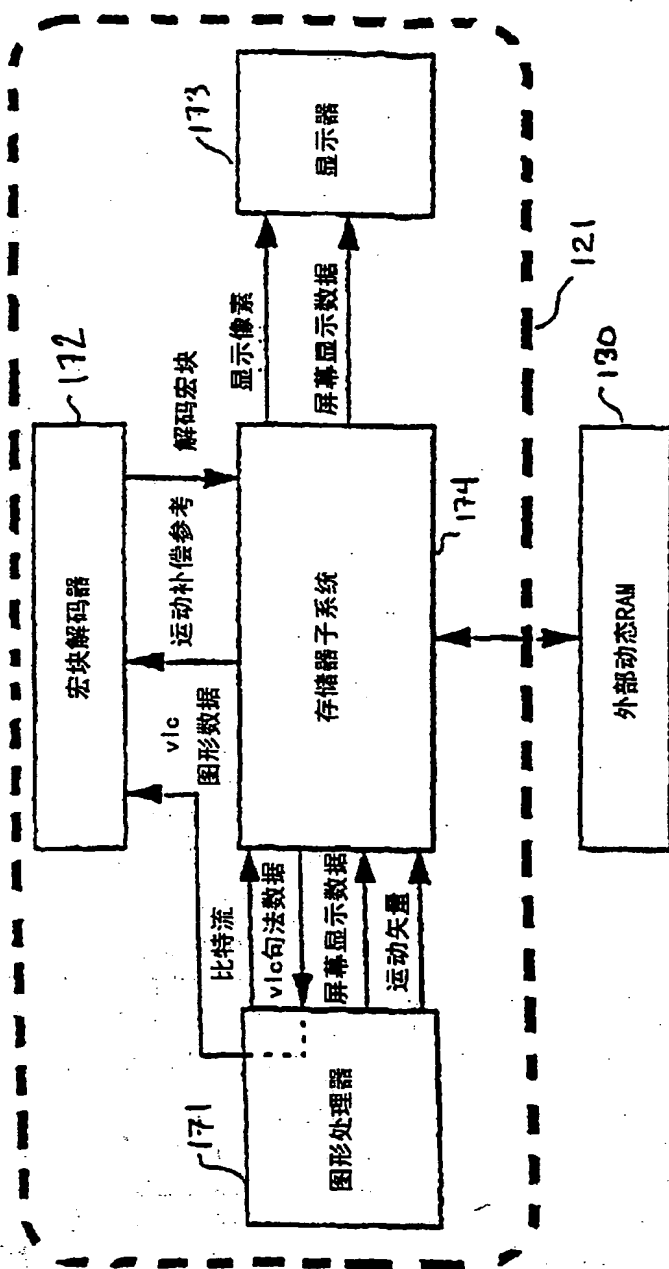


图1B

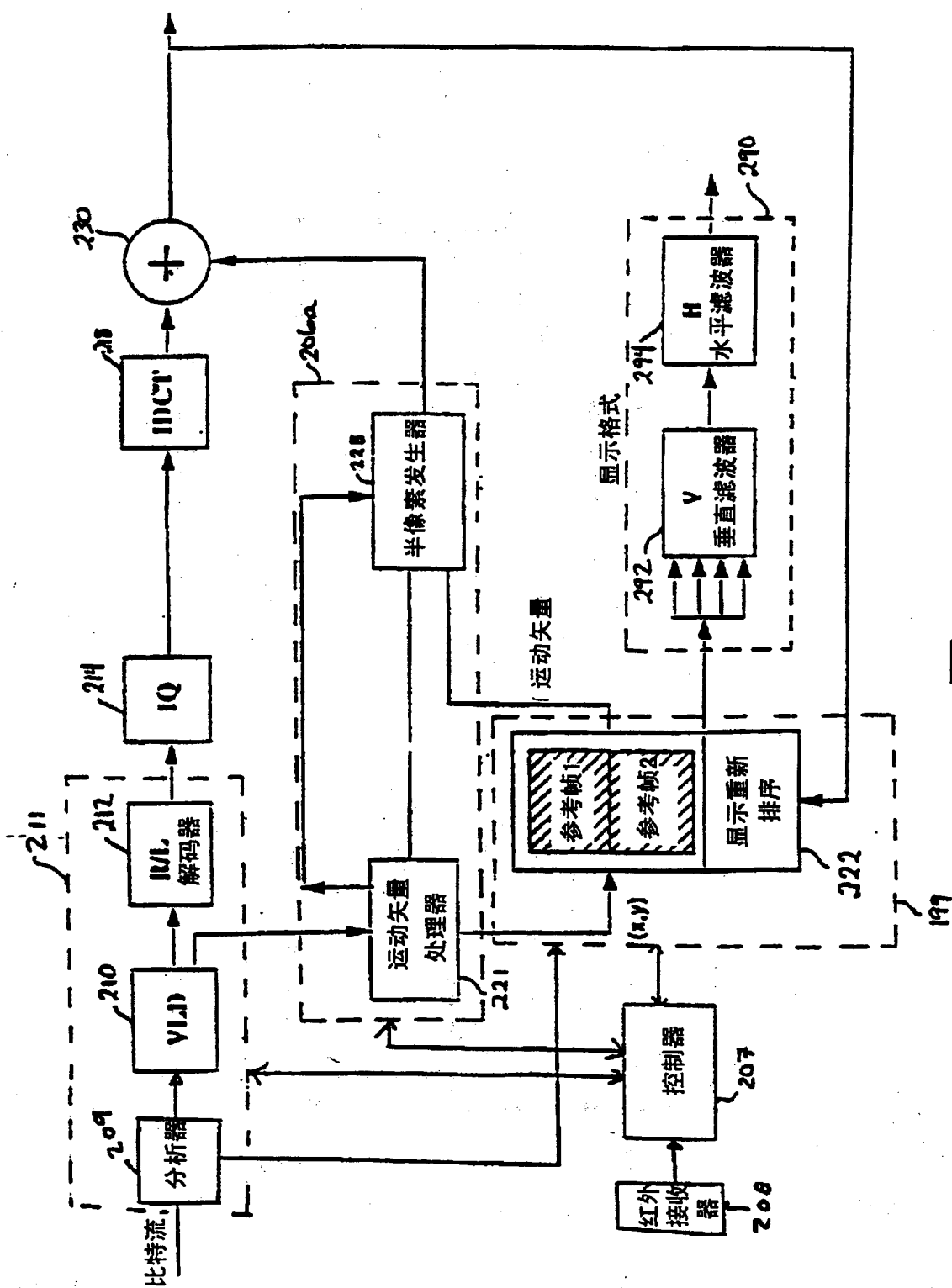


圖 2A

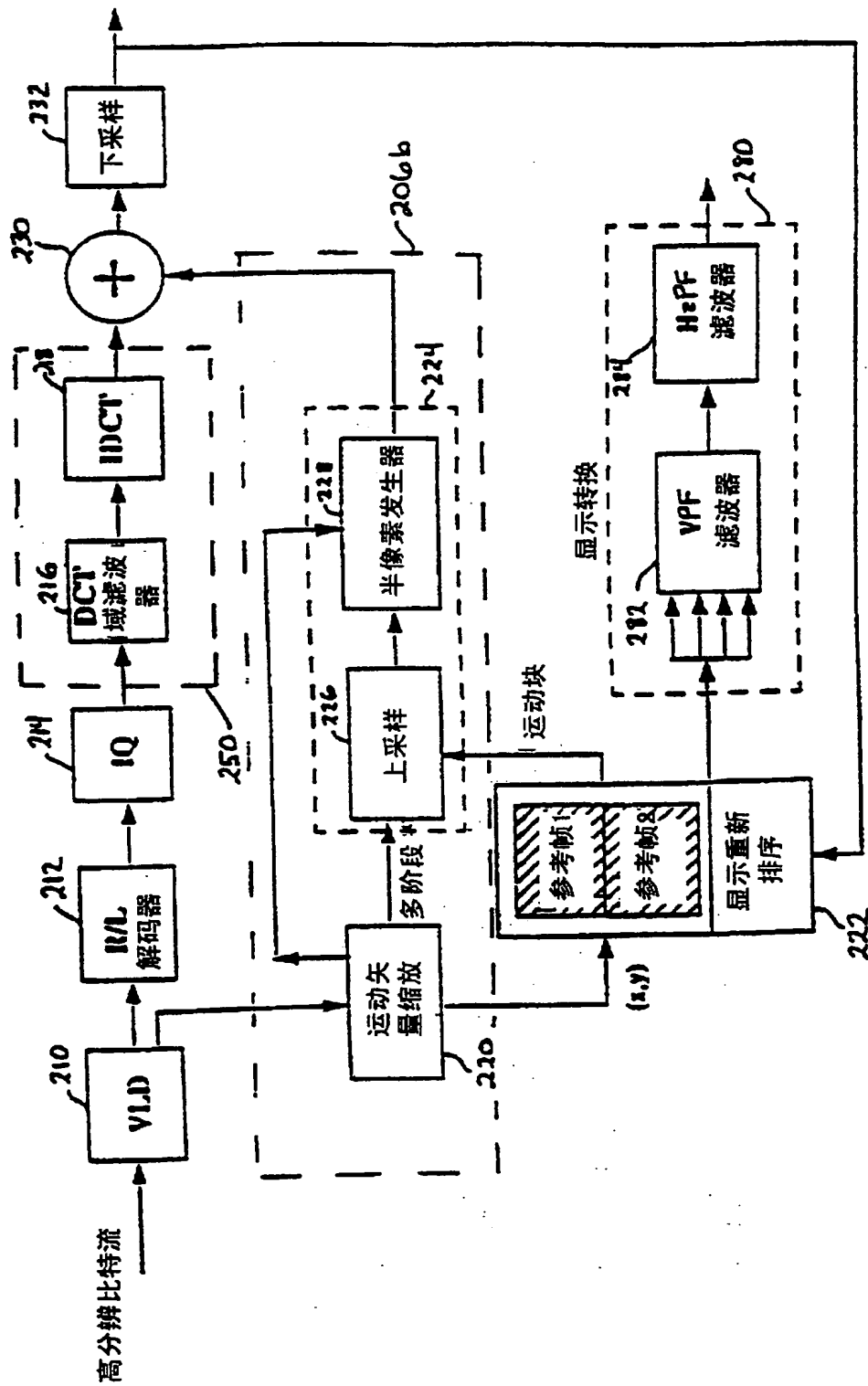


图2B

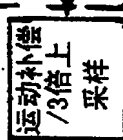
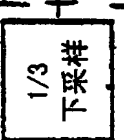
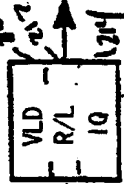
1125I → 525P/525I

水平 垂直

1920 x 1080i

MPEG2

比特流



720 x 480P (525P)
720 x 480I (525I)

图20

750P → 525P/525I

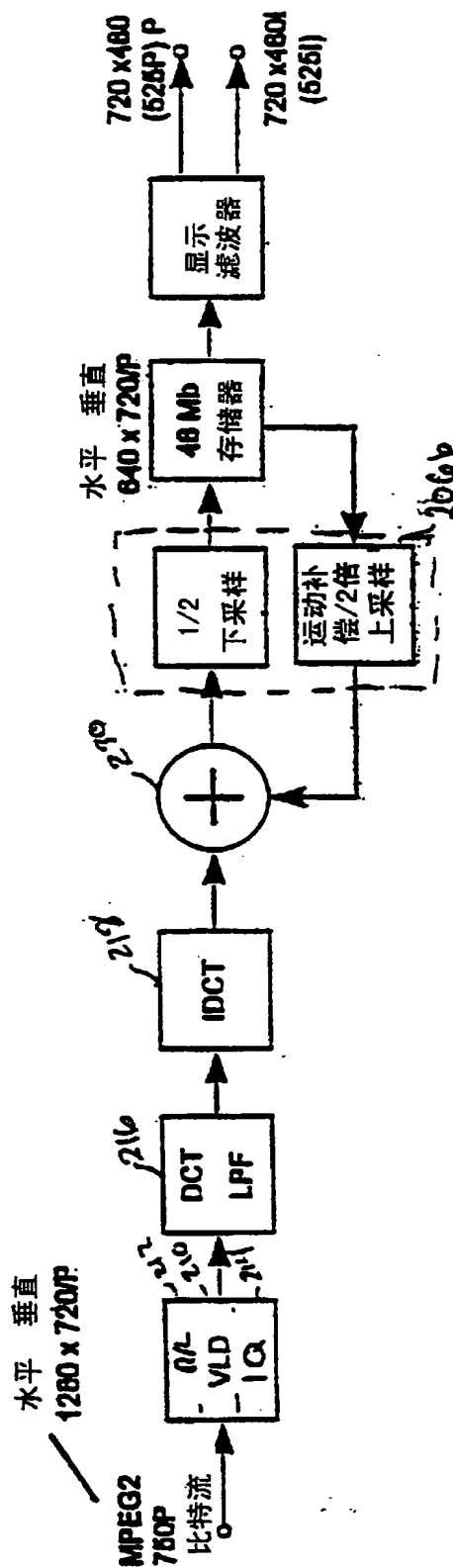


图 2D

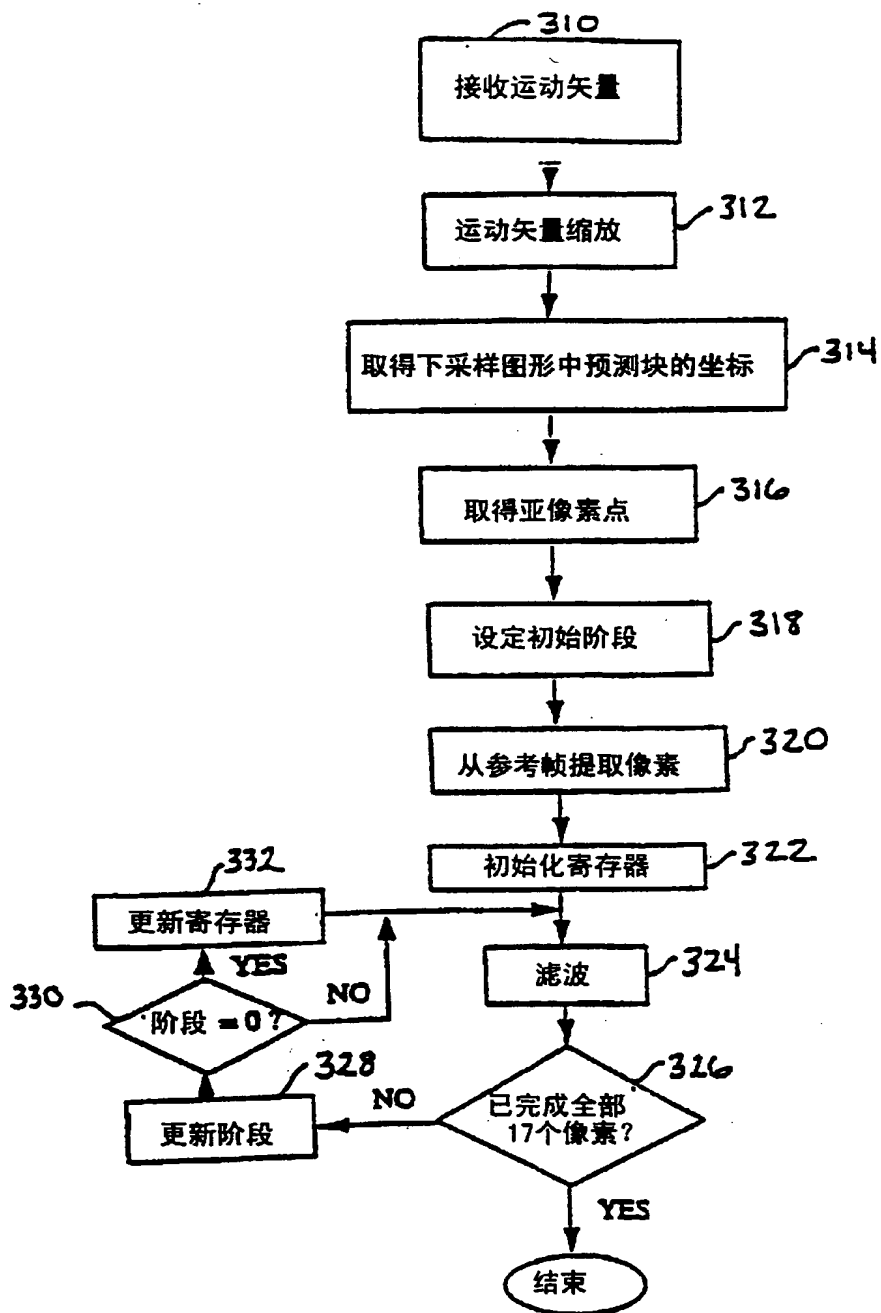


图3B

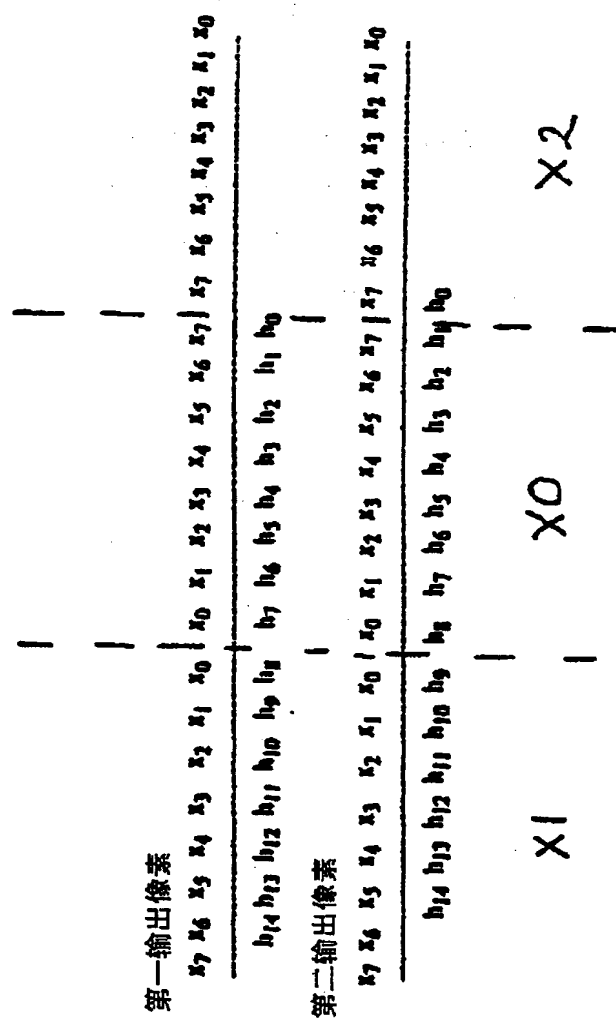


图4

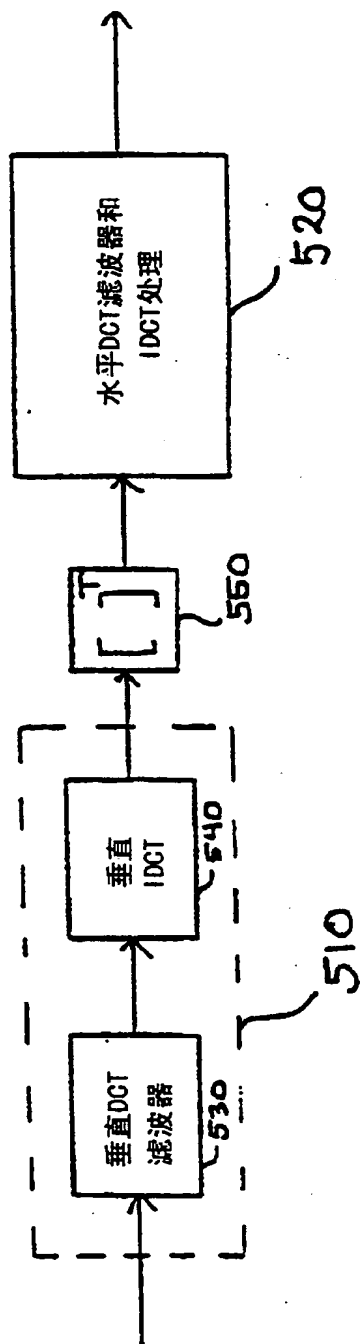


图5

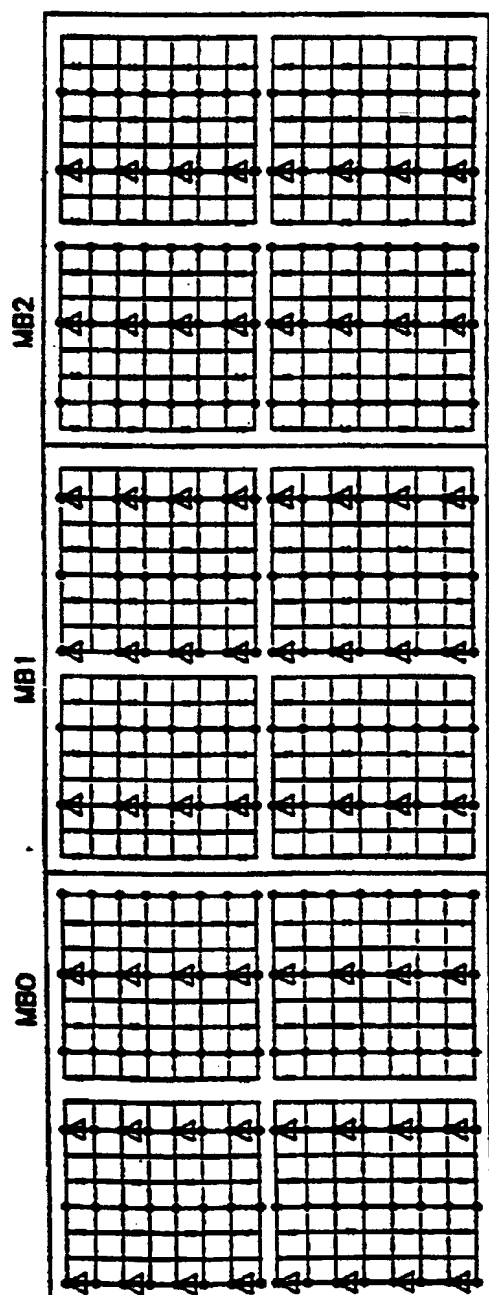


图 6A

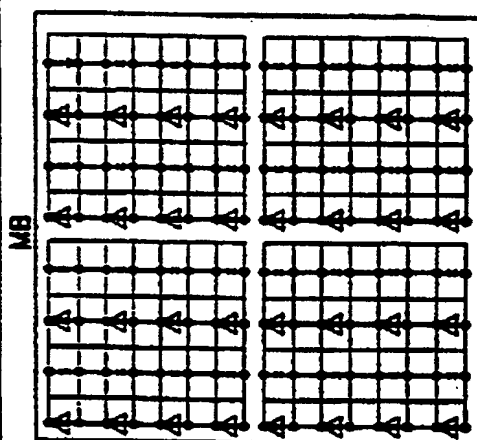


图 6B

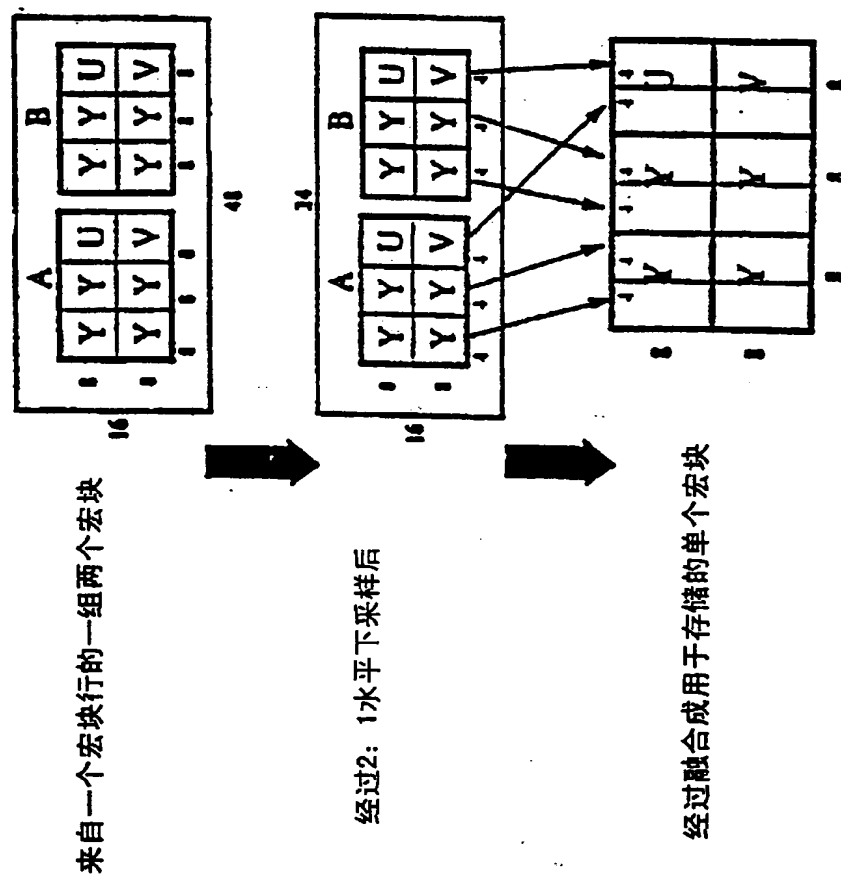
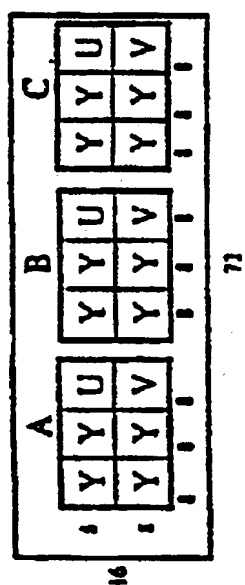
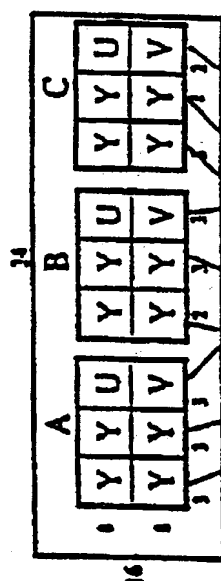


图6C

来自一个宏块行的一组3个宏块



经过3:1水平下采样后



经过融合成用于存储的单个宏块后

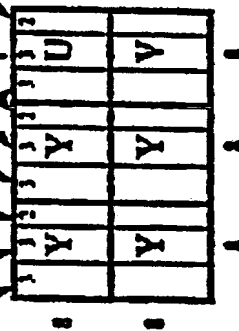
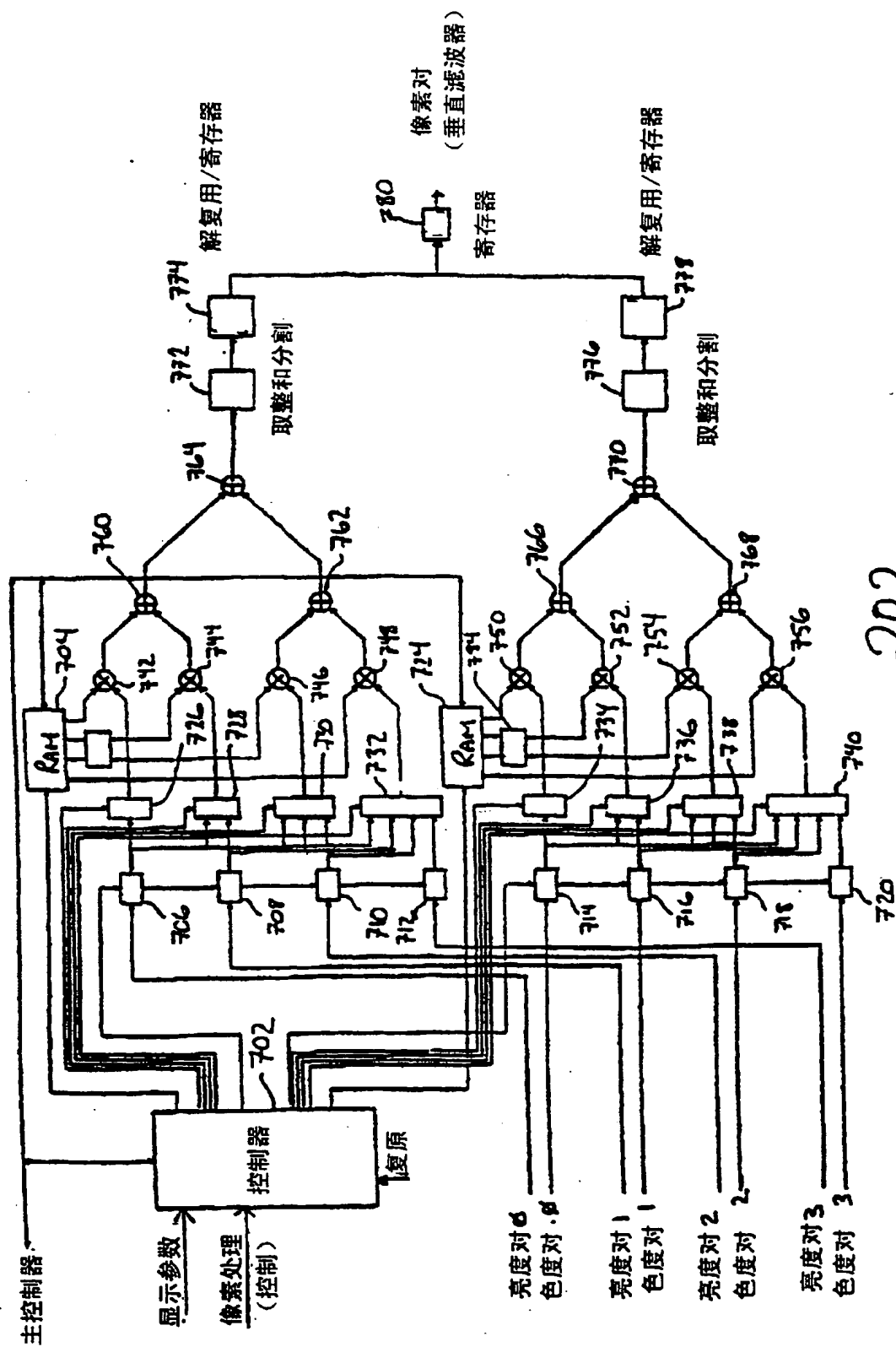


图6D



7A

202

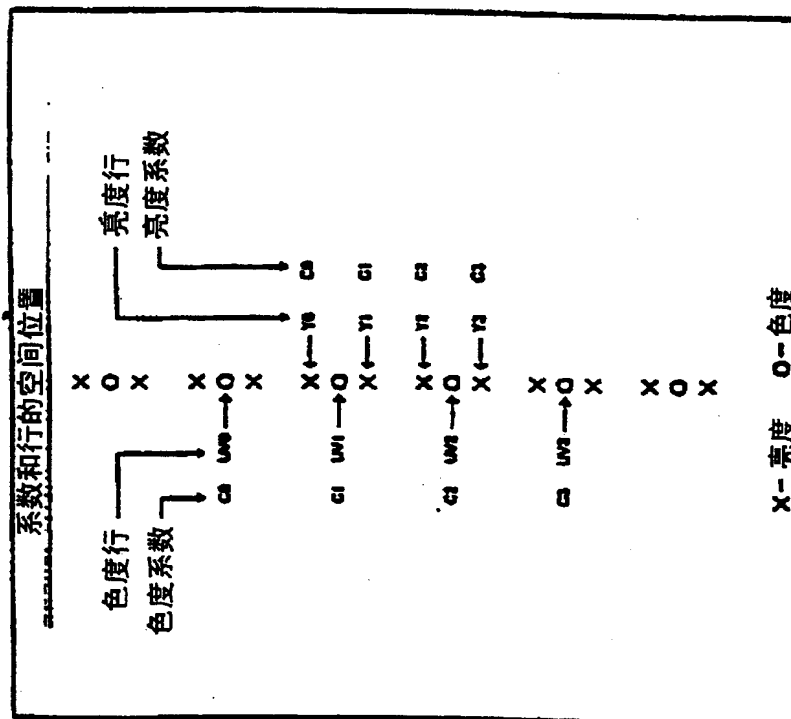
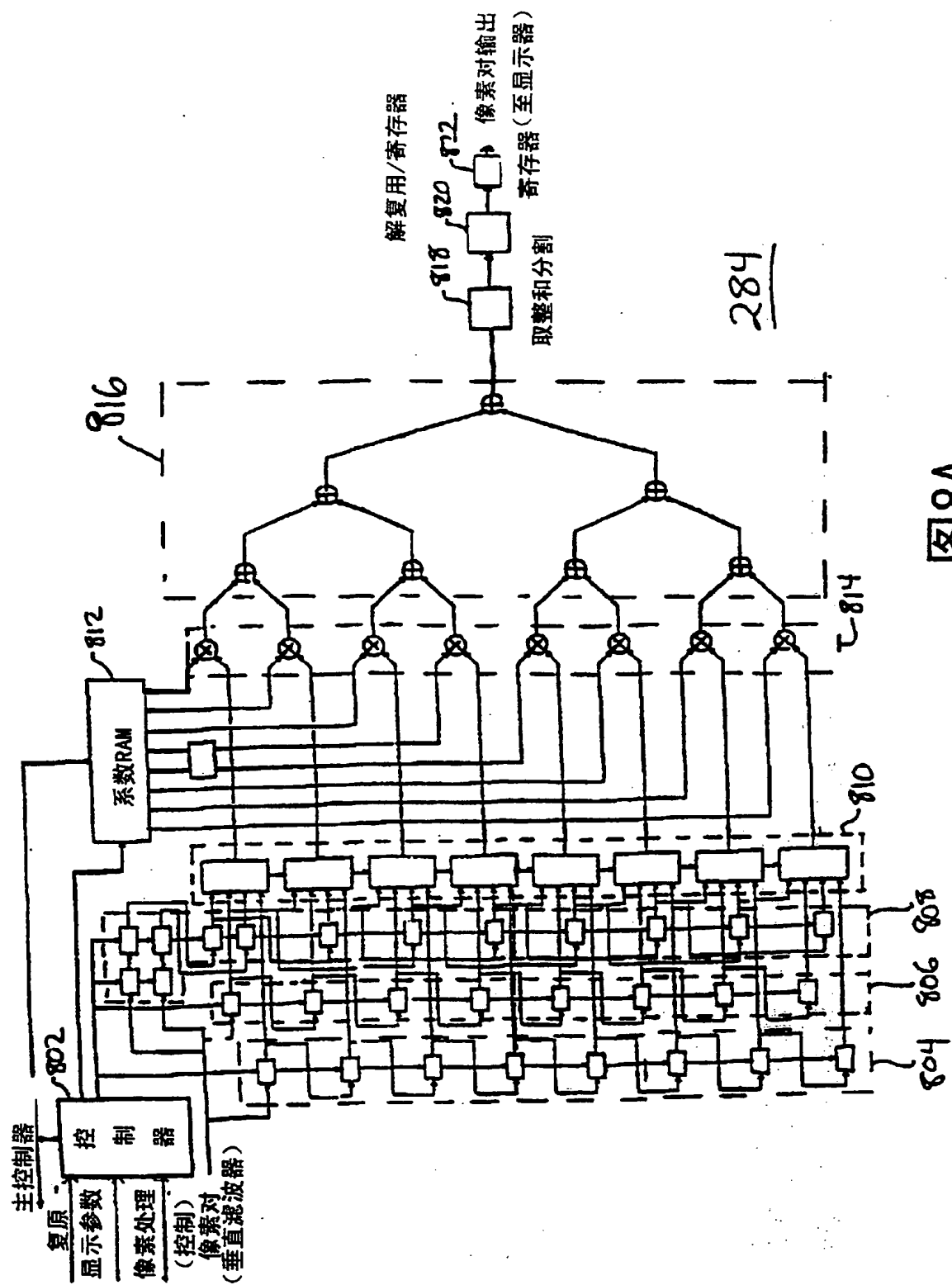


图7B



8A

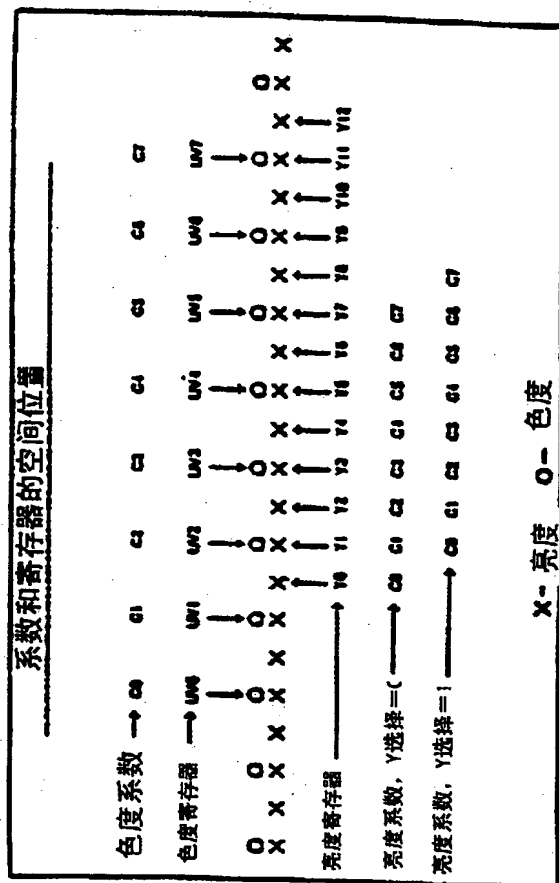


图8B

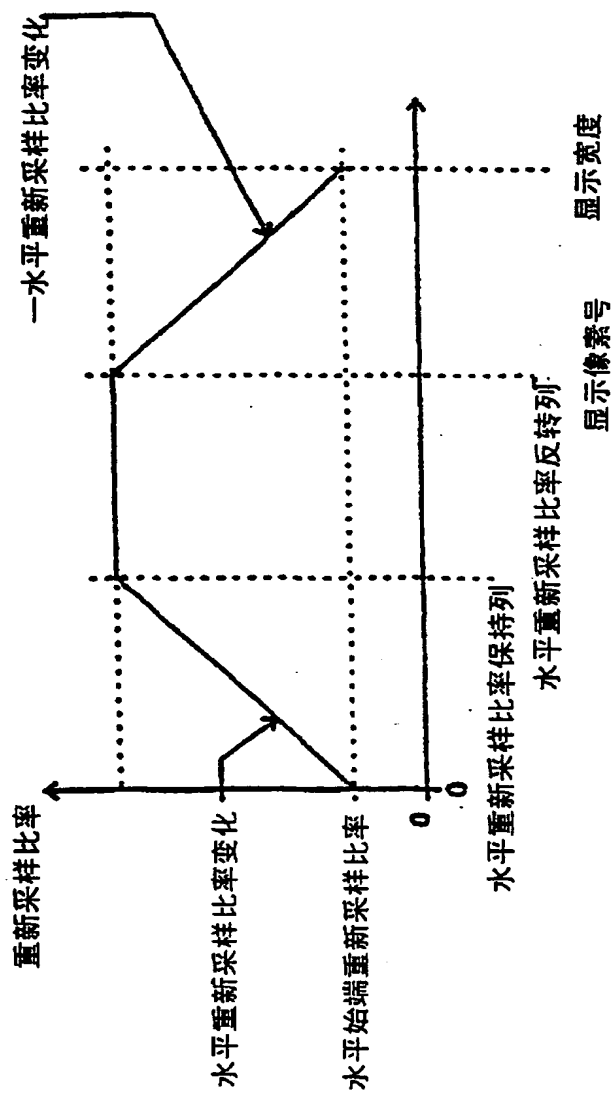


图9A

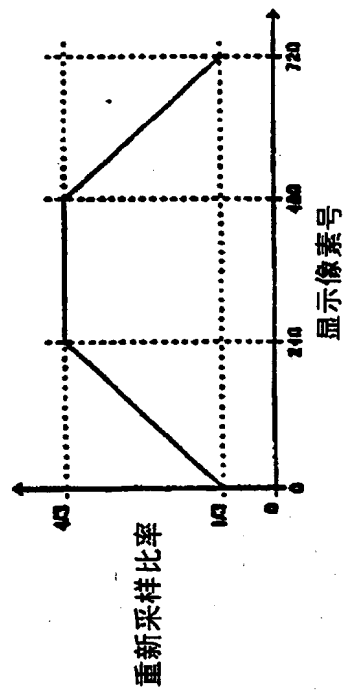


图9B

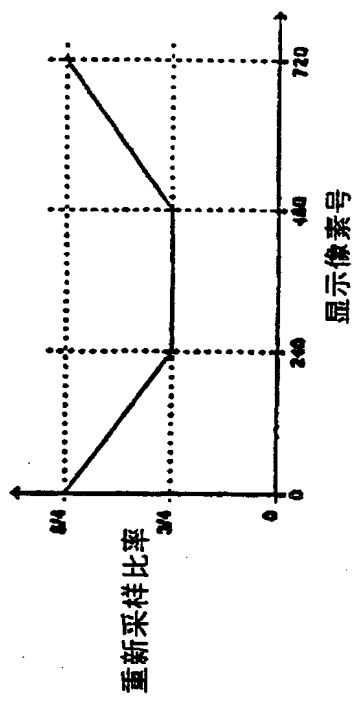


图9D

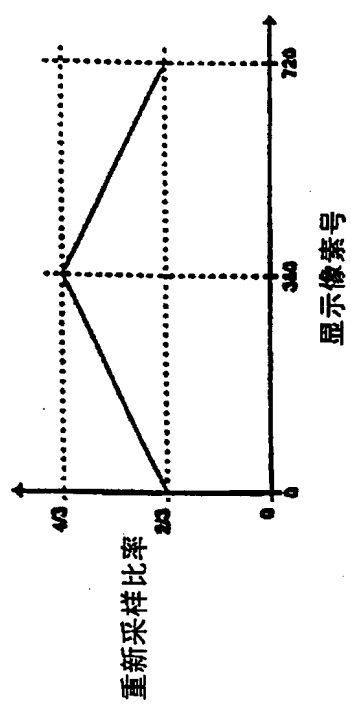


图9C

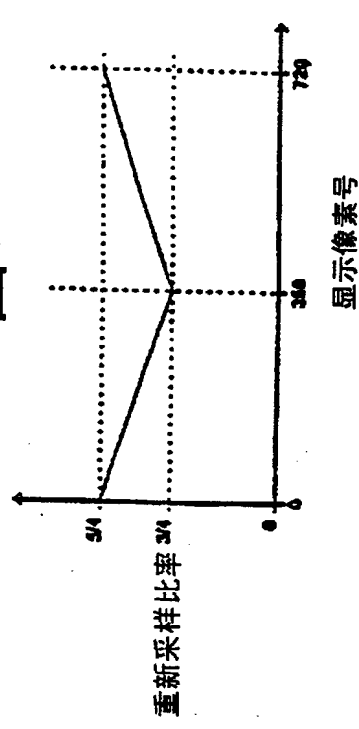


图9E













视频发射 格式	16×9显示模式				4×3显示模式			
	完整	变焦	压缩	可变换大	完整	变焦	压缩	可变换小
10 		—	—	—				
4 						—	—	—

图10

视频解码器显示输出模式: 27MHz输出, 无转接

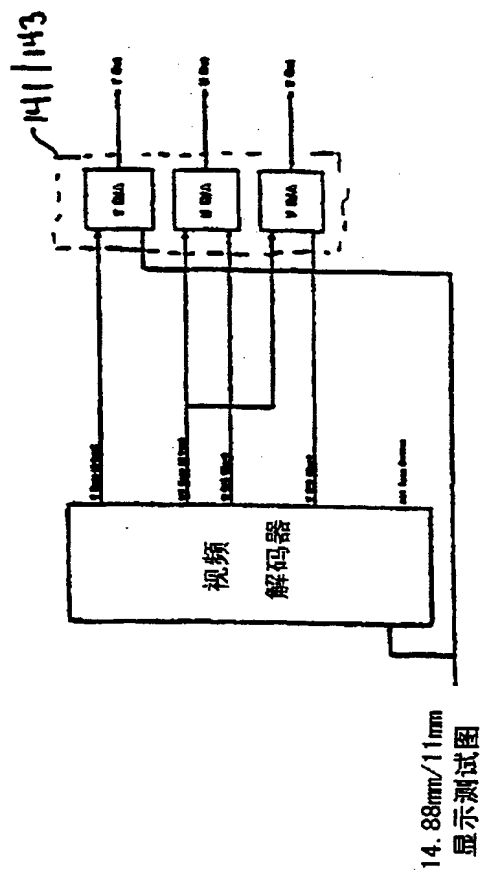


图11D

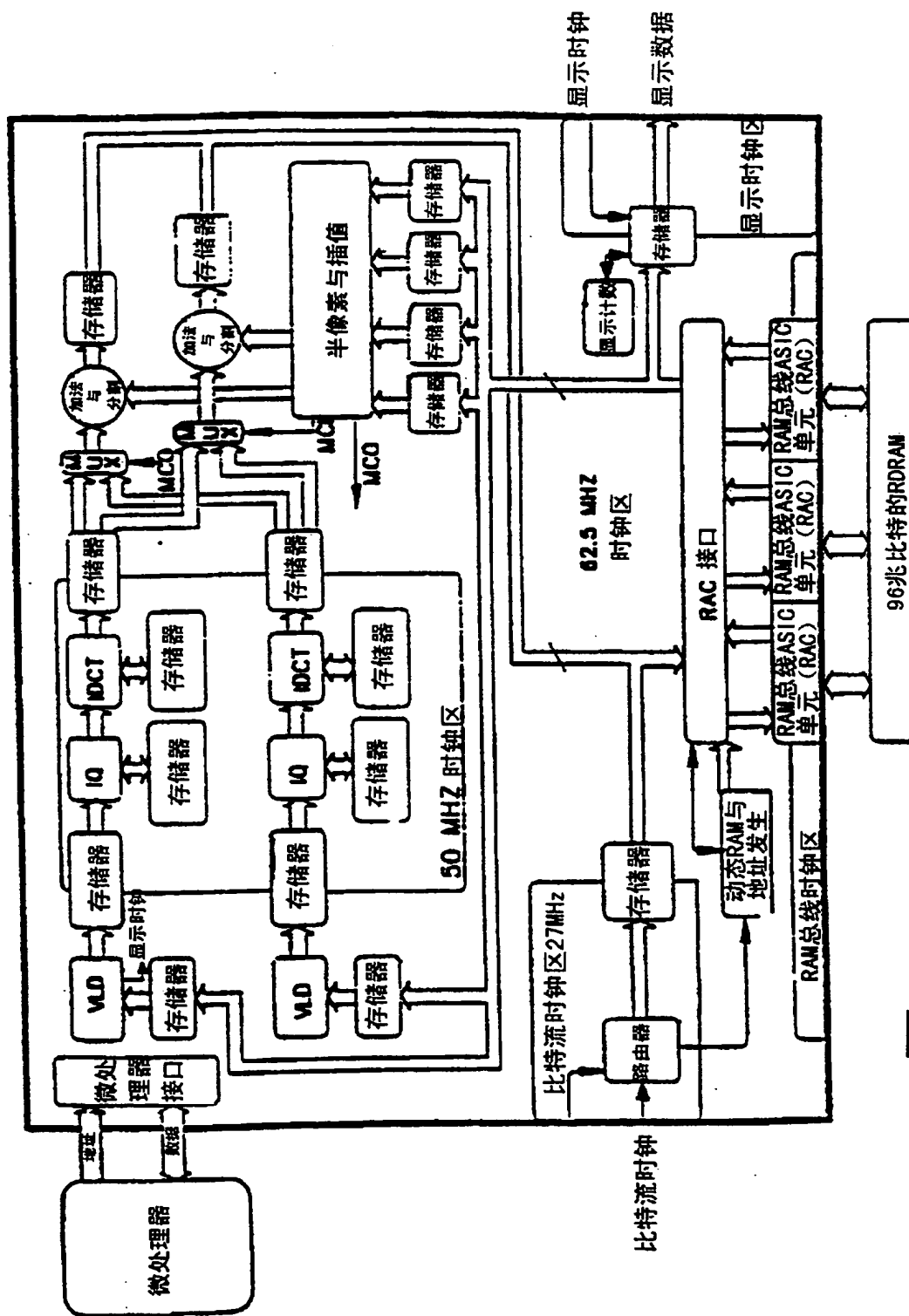


图12

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)